

DISPLAY DEVICE

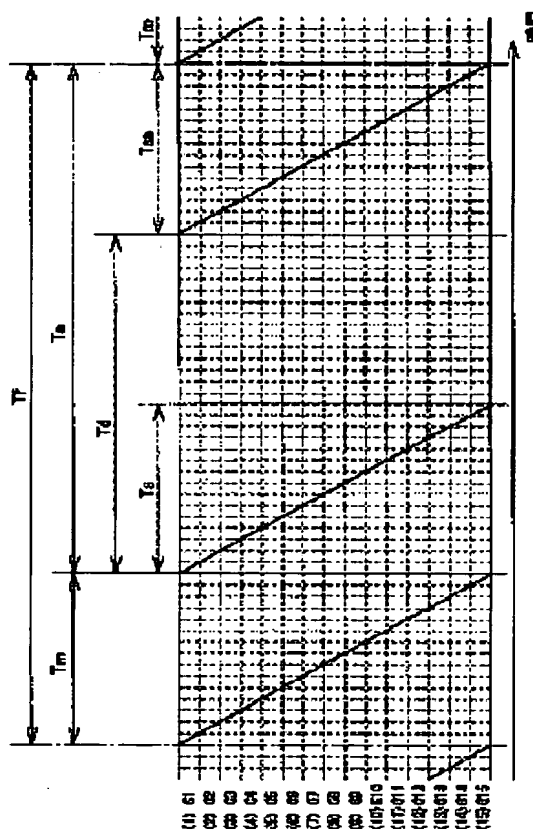
Patent number: JP2002341825
Publication date: 2002-11-29
Inventor: NUMAO KOJI
Applicant: SHARP CORP
Classification:
 - international: G09G3/30; G09G3/20; G09G3/22; H05B33/14
 - european:
Application number: JP20010145504 20010515
Priority number(s):

Report a data error here

Abstract of JP2002341825

PROBLEM TO BE SOLVED: To efficiently conduct current value detection and to improve numerical aperture of an active matrix organic EL display in which luminance correction is conducted by measuring the load current of organic EL elements with a current measuring circuit and correcting display data using the measurement result.

SOLUTION: One frame interval T_f is constituted of a current measuring interval T_m and a display interval T_a and scanning is conducted with a cycle of several tens of [Hz], for example. In the interval T_m , a prescribed voltage is beforehand given to the organic EL elements of each element circuit, scanning signal lines G1 to G15 which are one unit in terms of fifteen lines, for example, are successively selected and current characteristics are measured. The succeeding display interval T_a is constituted of a light emitting interval T_d and an erasing interval T_{sa} . Thus, the current which flows in the power supply lines becomes only for the load current of the selected element circuits and current measurement is conducted at the signal controller side outside a display region, even in an active matrix panel.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-341825

(P2002-341825A)

(43)公開日 平成14年11月29日(2002.11.29)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テーマコード*(参考) |
|--------------------------|-------|--------------|-------------------|
| G 0 9 G 3/30 | | G 0 9 G 3/30 | J 3 K 0 0 7 |
| 3/20 | 6 2 4 | 3/20 | 6 2 4 B 5 C 0 8 0 |
| | 6 4 1 | | 6 4 1 A |
| | | | 6 4 1 D |
| | 6 4 2 | | 6 4 2 C |

審査請求 未請求 請求項の数 5 O L (全 33 頁) 最終頁に続く

(21)出願番号 特願2001-145504(P2001-145504)

(22)出願日 平成13年5月15日(2001.5.15)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 沼尾 孝次

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 100080034

弁理士 原 謙三

Fターム(参考) 3K007 AB02 AB11 BA06 CA01 CB01

DA00 DB03 EB00 FA01 GA04

5C080 AA06 AA08 BB05 DD03 EE29

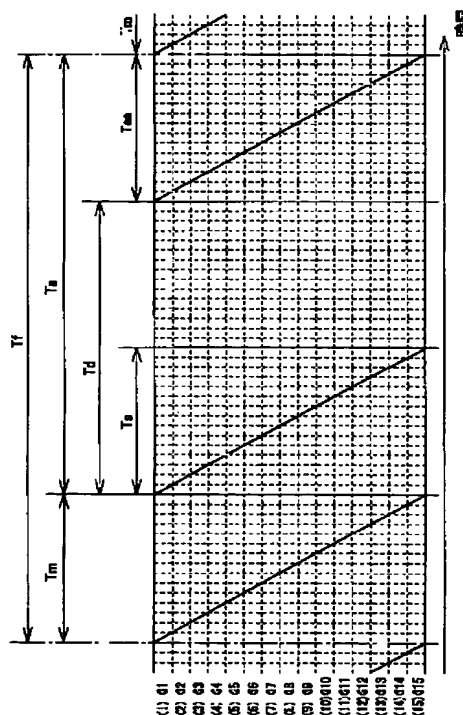
FF11 JJ02 JJ03 JJ04

(54)【発明の名称】 表示装置

(57)【要約】

【課題】 有機EL素子の負荷電流を電流測定回路で測定し、その結果で表示データを補正することで輝度補正を行うようにしたアクティブマトリクス有機ELディスプレイにおいて、電流値検出を効率的に行い、かつ開口率を向上する。

【解決手段】 1フレーム期間 T_f を電流測定期間 T_m と表示期間 T_a とから構成し、たとえば数十[Hz]の周期で走査を行う。電流測定期間 T_m では、各素子回路の有機EL素子に予め定める電圧を与えた状態で、たとえば15本で1つの単位である走査信号線G1~G15を順に選択し、電流特性を測定してゆく。続く表示期間 T_a は、発光期間 T_d と消去期間 T_{sa} とから構成する。したがって、電源線を通る電流は選択された素子回路のみの負荷電流となるので、アクティブマトリクスのパネルであっても、表示領域外の信号コントローラ側で共通に電流測定を行うことができる。



【特許請求の範囲】

【請求項1】相互に交差する複数の第1および第2の信号線で区画された各領域に電気光学素子を備え、その電気光学素子が、それぞれ対応する第1のアクティブ素子によって、前記第1の信号線で選択されている間に、第2の信号線に出力される信号レベルに対応した表示を行うように駆動される表示装置において、

前記第2の信号線に沿って配設されて前記電気光学素子へ負荷電流を供給する第1の電源線の電流を測定する電流測定手段と、

前記電流測定手段で測定されたデータを保持する記憶手段と、

外部から入力される表示データを前記記憶手段から読出されたデータを用いて補正し、前記第2の信号線に出力すべき信号レベルを作成する補正手段とを含み、

前記第1の信号線による選択とともに、前記第2の信号線に表示データに対応した信号レベルを出力してゆく単位表示期間に対して、周期的に、前記第1の信号線による選択とともに、前記第2の信号線に予め定める信号レベルを出力し、前記電流測定手段で測定を行ってゆく期間を含めることを特徴とする表示装置。

【請求項2】前記電気光学素子に関連して、前記第1のアクティブ素子によって取込まれた信号レベルを保持するメモリ素子を有し、

前記第1の信号線に選択出力を導出する走査コントローラおよび前記第2の信号線に信号レベルを出力する信号コントローラは、測定期間の直前に、前記メモリ素子の初期化および電気光学素子を非発光状態とする走査を行うことを特徴とする請求項1記載の表示装置。

【請求項3】前記メモリ素子に関連して、前記第1の信号線とは択一的に選択出力が導出される第3の信号線からの選択出力にตอบสนองし、前記第2の信号線とは異なる信号レベルを前記メモリ素子に与える第2のアクティブ素子をさらに備え、

前記第1のアクティブ素子によって表示信号レベルが設定され、前記第2のアクティブ素子によって消去信号レベルが設定されることを特徴とする請求項2記載の表示装置。

【請求項4】前記メモリ素子に関連して、前記第1のアクティブ素子によって取込まれた信号レベルを保持する1または複数の画素メモリと、その画素メモリに個別に対応し、ビット選択線によって選択駆動される第3のアクティブ素子とをさらに備え、

前記第1の信号線が選択状態で、第1のアクティブ素子を介して前記メモリ素子に表示信号レベルが設定されるとともに、前記第3のアクティブ素子が選択駆動されて前記画素メモリにその表示信号レベルが設定され、前記第1の信号線の非選択状態で、前記第3のアクティブ素子が選択駆動されて前記画素メモリからの表示信号レベルに切換えられることを特徴とする請求項2または3記

載の表示装置。

【請求項5】前記メモリ素子には、前記電気光学素子へ負荷電流を供給する第1の電源線とは個別に設けた第2の電源線から電源供給を行うことを特徴とする請求項2～4の何れかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機EL (Electro Luminescence) 素子やFED (Field Emission Device) 素子等の電気光学素子をマトリックス状に配置して構成される表示装置に関する。

【0002】

【従来の技術】近年、前記有機EL素子やFED素子等の自発光デバイスを用いた薄型表示装置の開発が活発に行われている。これら自発光デバイスでは、素子の発光輝度が素子を流れる電流密度に比例することが知られている。また、素子特性、特に印加電圧－電流特性がばらつくことが知られており、これらデバイスでは定電流源を用いた駆動回路が好ましいとされている。しかしながら、実際に定電流源を構成することは困難であるので、定電圧源を用いて定電流駆動回路を構成している。この場合、素子を流れる電流を検出する手段を設け、その検出手段で検出した電流が一定になるよう制御する方法が提案されている。

【0003】図32は、そのような電流検出手段を用いて輝度補正を行うようにした一例の有機ELディスプレイ101を示す図であり、特開2000-187467号公報で示されたものである。このディスプレイ101は、パッシブ駆動のディスプレイであり、有機ELパネル102は、相互に直交するそれぞれ複数の陰極c0～cnおよび陽極s0～smによって表示領域がマトリックス状に区画され、前記各表示領域極に有機EL素子103が配置されて構成されている。

【0004】前記有機ELパネル102の外部には、または一体で、前記陰極c0～cnを駆動するための陰極駆動回路104、各陽極s0～smを個別に駆動するための陽極駆動回路pg0～pgm、および前記陽極駆動回路pg0～pgmからの各出力電流をそれぞれ検出するための電流検出回路is0～ismが設けられている。前記電流検出回路is0～ism（総称するときには参照符isで示す）で検出した電流値を制御装置105へ入力し、検出した電流値に応じて、各表示領域の表示情報に対応した点灯時間または点灯電流を調整する構成となっている。

【0005】前記電流検出回路isは、たとえば図33で示すように、各陽極s0～smへのラインに抵抗r1を直列に介在し、その抵抗r1の端子間電圧をA/D変換回路106で検出し、出力する構成となっている。

【0006】また、図34は、前記のような電流検出手段を用いて輝度補正を行うようにした他の例の有機EL

ディスプレイ111を示す図であり、特開平10-254410号公報で示されたものである。このディスプレイ111は、アクティブ駆動のディスプレイであり、表示パネル112の全有機EL素子を、コントローラ113は、走査回路114および電源回路115を介して一定の定電圧で駆動し、その際に後述するようにして測定した電流値を電流値メモリ116に記憶しておき、その記憶データとA/D変換回路117を通して外部から入力された表示データとを演算回路118で処理し、得られた表示データをフレームメモリ119および書き込み回路120を介して各画素に与えることで、各画素を流れる電流値の総和を調整している。

【0007】このアクティブ駆動の場合、表示パネル112の各画素121は、図35に示すような構成となる。すなわち、表示データを取込むTFT122と、その取込んだ表示データを記憶するコンデンサ123と、有機EL素子124と、コンデンサ123の出力電圧に対応して有機EL素子124を駆動するTFT125と、有機EL素子124を流れる電流を測定する電流検出器126とを備えて構成されている。

【0008】走査信号線を選択することで前記TFT122を導通状態とし、データ信号線の電圧をコンデンサ123へ蓄える。TFT122を非導通状態としている間も、このコンデンサ123の電圧によってTFT125を制御し、有機EL素子124を流れる電流量を調整している。そこで、前記電流検出器126をTFT125と有機EL素子124との間に配置し、該電流検出器126の出力をA/D変換回路127でデジタルデータ化し、前記電流値メモリ116へ記憶させ、前記のような電流値の総和の調整を行っている。

【0009】

【発明が解決しようとする課題】上述のような従来技術において、前記特開2000-187467号のディスプレイ101のようなパッシブ駆動の表示装置では、陰極c0～cnを順次選択してゆくの、陽極s0～smを流れる電流を測定すれば、選択している陰極c0～cnとの交点になる有機EL素子103の電流を測定することができる。しかしながら、特開平10-254410号の有機ELディスプレイ111のようにアクティブ駆動の表示装置では、前述のように、走査信号線が非選択状態でも、コンデンサ123の電圧によってTFT125を制御し、有機EL素子124には電流が流れている。このため、各有機EL素子124毎にしか電流測定を行うことができず、前記パッシブ駆動の場合のような表示領域外で、信号線毎にまとめて、効率的に電流を測定することができないという問題がある。また、各有機EL素子124の面積、すなわち開口率を向上することができないという問題もある。

【0010】本発明の目的は、アクティブ駆動であっても、各電気光学素子の電流値検出を効率的に行うことが

できるとともに、開口率を向上することができる表示装置を提供することである。

【0011】

【課題を解決するための手段】本発明の表示装置は、相互に交差する複数の第1および第2の信号線で区画された各領域に電気光学素子を備え、その電気光学素子が、それぞれ対応する第1のアクティブ素子によって、前記第1の信号線で選択されている間に、第2の信号線に出力される信号レベルに対応した表示を行うように駆動される表示装置において、前記第2の信号線に沿って配設されて前記電気光学素子へ負荷電流を供給する第1の電源線の電流を測定する電流測定手段と、前記電流測定手段で測定されたデータを保持する記憶手段と、外部から入力される表示データを前記記憶手段から読出されたデータを用いて補正し、前記第2の信号線に出力すべき信号レベルを作成する補正手段とを含み、前記第1の信号線による選択とともに、前記第2の信号線に表示データに対応した信号レベルを出力してゆく単位表示期間に対して、周期的に、前記第1の信号線による選択とともに、前記第2の信号線に予め定める信号レベルを出力し、前記電流測定手段で測定を行ってゆく期間を含めることを特徴とする。

【0012】上記の構成によれば、相互に交差する複数の第1および第2の信号線で区画され、マトリクス状に配列された各領域に、有機EL素子などの電気光学素子を備え、その電気光学素子が、TFTなどのそれぞれ対応する第1のアクティブ素子によって、前記第1の信号線で順に選択されて第2の信号線に出力される信号レベルに対応した表示を行うようにした表示装置において、前記第2の信号線に沿って配設される第1の電源線の電流を測定する電流測定手段を設け、その測定結果に基づいて表示データを補正するにあたって、毎単位表示期間毎に、または複数の単位表示期間毎に、周期的に電流測定を行う。

【0013】したがって、所望とする階調を得るための表示データを、周囲温度変化などに対応してダイナミックに補正するにあたって、アクティブマトリクスのパネルであっても、電流測定手段を、各領域（電気光学素子）毎に設ける必要はなく、各第1の電源線（＝第2の信号線）毎、または複数の第1の電源線で共用するように設ければよい。これによって、各電気光学素子の電流値検出を効率的に行うことができるとともに、前記各領域での電気光学素子の面積、すなわち開口率を向上することもできる。

【0014】また、本発明の表示装置は、前記電気光学素子に関連して、前記第1のアクティブ素子によって取込まれた信号レベルを保持するメモリ素子を有し、前記第1の信号線に選択出力を導出する走査コントローラおよび前記第2の信号線に信号レベルを出力する信号コントローラは、測定期間の直前に、前記メモリ素子の初期

化および電気光学素子を非発光状態とする走査を行うことを特徴とする。

【0015】上記の構成によれば、前記走査コントローラおよび信号コントローラは、コンデンサ等で実現されるメモリ素子に前記信号レベルを取込ませて表示状態を設定する走査を行い、1または複数の表示期間に対して、前記のように測定期間を周期的に挿入するにあたって、測定期間の直前には、メモリ素子の初期化によって電気光学素子を非発光状態とする走査を行う。

【0016】したがって、上記の走査で測定期間の直前に非発光状態としておくことによって、他の電気光学素子による影響をなくし、所望とする電気光学素子の負荷電流を正確に測定することができる。

【0017】さらにまた、本発明の表示装置は、前記メモリ素子に関連して、前記第1の信号線とは択一的に選択出力が導出される第3の信号線からの選択出力にตอบสนองし、前記第2の信号線とは異なる信号レベルを前記メモリ素子に与える第2のアクティブ素子をさらに備え、前記第1のアクティブ素子によって表示信号レベルが設定され、前記第2のアクティブ素子によって消去信号レベルが設定されることを特徴とする。

【0018】上記の構成によれば、第1の信号線の走査によって表示が開始された後、その走査が総ての第1の信号線について終了する以前に、第2の信号線の走査によって前記表示を消去してゆくことができる。すなわち、単位表示時間を、走査期間よりも短くすることができる。

【0019】したがって、デジタル階調制御を行うにあたって、下位のビットのデータにも、そのビットの重みに対応した短時間の表示を正確に行わせることができ、ビット数の多い細かな階調制御を行うことができる。

【0020】また、本発明の表示装置は、前記メモリ素子に関連して、前記第1のアクティブ素子によって取込まれた信号レベルを保持する1または複数の画素メモリと、その画素メモリに個別に対応し、ビット選択線によって選択駆動される第3のアクティブ素子とをさらに備え、前記第1の信号線が選択状態で、第1のアクティブ素子を介して前記メモリ素子に表示信号レベルが設定されるとともに、前記第3のアクティブ素子が選択駆動されて前記画素メモリにその表示信号レベルが設定され、前記第1の信号線の非選択状態で、前記第3のアクティブ素子が選択駆動されて前記画素メモリからの表示信号レベルに切換えられることを特徴とする。

【0021】上記の構成によれば、第1の信号線の走査によって表示が行われるとともに、ビット選択線を選択することで、そのビット選択線に対応する画素メモリに表示信号レベルを書込んでおくことができる。そして、第1の信号線の非選択状態でビット選択線を選択することで、前記画素メモリから表示信号レベルを読み出すことができる。

【0022】したがって、第1の信号線を順に走査してゆく1走査期間内で、下位のビットのデータを表示して残った時間を上位のビットのデータの表示に用いることができ、複数の各ビットに対して等間隔の走査期間を設定しても、表示期間中の非走査期間や非発光期間を短くすることができる新規な時間分割階調表示を実現することができる。

【0023】さらにまた、本発明の表示装置では、前記メモリ素子には、前記電気光学素子へ負荷電流を供給する第1の電源線とは個別に設けた第2の電源線から電源供給を行うことを特徴とする。

【0024】上記の構成によれば、第1のアクティブ素子が選択されている間に、第1の電源線の電位を前記負荷電流が流れない電位、たとえばGND電位とすることで、表示を行うことなく、メモリ素子への信号レベルの書込みのみを行うことができる。また、メモリ素子や画素メモリに記憶されたデータに基づく電気光学素子の表示期間を、第1のアクティブ素子の走査期間とは独立に制御可能となり、表示期間で時間分割階調表示を実現することもできる。

【0025】

【発明の実施の形態】本発明の実施の第1の形態について、図1～図4に基づいて説明すれば、以下のとおりである。

【0026】図1は、本発明の実施の第1の形態の有機ELディスプレイ1の全体構成を示す図である。この有機ELディスプレイ1は、大略的に、有機ELパネル2と、走査コントローラ3と、信号コントローラ4と、ラッチ回路5とを備えて構成される。前記有機ELパネル2は、相互に直交する複数の走査信号線G1、G2、…、Gm（総称するときには、以下参照符Gで示す）と、データ信号線D1、D2、…、Dn（総称するときには、以下参照符Dで示す）とで区画され、マトリクス状に配列された各領域に、素子回路A11、A12、…、A1n；A21、…、Amn（総称するときには、以下参照符Aで示す）が形成されて構成される。前記各素子回路Aは、走査コントローラ3が対応する走査信号線Gを選択している間に、信号コントローラ4から対応するデータ信号線Dに出力された信号レベルを取込み、その信号レベルに対応した表示を行う。

【0027】この有機ELディスプレイ1には、外部から同期信号およびデータ信号が入力される。前記走査コントローラ3は、前記同期信号にตอบสนองして、前記各走査信号線Gに選択信号を出力する。前記ラッチ回路5は、前記同期信号にตอบสนองして、データ信号を順次ラッチしてゆき、シリアルで入力されるデータ信号を1ライン分蓄積して、前記各データ信号線D1～Dnの線数分だけパラレルにして、前記信号コントローラ4へ出力する。前記信号コントローラ4では、前記データ信号は前記各データ信号線D1～Dnに対応したD/A変換回路F1～

F_n（総称するときには、以下参照符Fで示す）においてアナログ信号に変換され、該データ信号線D₁～D_nにそれぞれ出力される。

【0028】有機ELパネル2には、各素子回路Aを貫くように、前記データ信号線D₁～D_nと平行に、電源線E₀から電源供給が行われる電源線E₁～E_n（総称するときには、以下参照符Eで示す）が配設されている。この電源線E₁～E_nの前記信号コントローラ4側の端部には、電流測定回路K₁～K_n（総称するときには、以下参照符Kで示す）がそれぞれ設けられており、予め定める測定タイミングにおいて、後述するようにして1ラインずつ、前記電源線E₁～E_nを介して各素子回路A₁₁～A_{mn}に流れる電流が測定される。その測定結果は、各素子回路Aの補正值（もしくは必要な電流値を与える電圧データ）となり、メモリM₁～M_nにそれぞれ記憶される。そして、前記データ信号線D₁～D_nを介してのデータ信号の書き込みにあたって、演算回路B₁～B_n（総称するときには、以下参照符Bで示す）が前記ラッチ回路5からのデータ信号をメモリM₁～M_nのデータでそれぞれ補正した後、前述のようにD/A変換回路F₁～F_nに出力される。こうして、各素子回路Aの輝度補正が行われる。

【0029】図2は、素子回路Aの電気回路図である。この素子回路Aは、アクティブ素子であり、ゲートが前記走査信号線Gに接続され、ソース（ドレイン）が前記データ信号線Dに接続され、走査信号線Gで選択されている間に、対応するデータ信号線Dから前記データ信号を取込むn型のTFTQ1と、前記TFTQ1のドレイン（ソース）に接続され、その取込まれたデータ信号を保持するコンデンサC1と、有機EL素子Pと、前記コンデンサC1の充電電圧に対応して、前記電源線Eから有機EL素子Pに流れる電流を制御するp型のTFTQ2とを備えて構成される。

【0030】図3には、前記TFTQ2と有機EL素子Pとから構成される電気光学素子におけるTFTQ2のゲート電圧-有機EL素子Pの素子電流特性を示す。なお、この特性は図1の電源線Eの電圧が+6Vの場合である。コンデンサC1へ貯める電位は、前述のようにメモリMに記憶された補正值を用いて、演算回路Bで補正することによって、有機EL素子Pの素子電流を補正することができ、該有機EL素子Pの経時変化や温度特性に対して、常に一定の輝度を得られるように輝度補正を行うことができる。

【0031】なお、図1や図2では、素子回路Aが1つの画素のように記載されているけれども、これは説明を簡単にするためであり、実際には図2の素子回路AのRGB各1個が1組で画素になったり、さらにRGBの各成分が複数の素子回路Aから構成されることもある。

【0032】図4は、上述のように構成される有機ELディスプレイ1の駆動方法の一例を示す図である。有機

ELディスプレイ1は、前述のようにD/A変換回路Fにおいて、データ信号に対応したアナログ電圧レベルに変換し、その電圧レベルに応じてTFTQ2が有機EL素子Pに流れる電流を制御するアナログ階調制御を行う。この図4において、走査信号線はG₁～G₁₅の15本で1つの単位に想定しており、各走査信号線G₁～G₁₅の選択状態を、図4(1)～(15)で示している。

【0033】この走査例では、1フレーム期間T_fが電流測定期間T_mと表示期間T_aとから構成されており、たとえば数十[Hz]の周期で走査を行っている。電流測定期間T_mでは、走査信号線G₁～G₁₅が順に選択され、このとき演算回路Bは各素子回路Aの有機EL素子Pに予め定める電圧を与えており、こうして各有機EL素子Pの電流特性が順に測定される。続く表示期間T_aは、発光期間T_dと消去期間T_{sa}とから構成されている。発光期間T_d内の走査期間T_sでは、前記電流測定期間T_mと同様に、走査信号線G₁～G₁₅が順に選択されて、コンデンサC1にデータ信号が取込まれ、該発光期間T_dの残りの期間は、そのデータ信号に対応した表示が行われる。その後、本発明では、電流測定を行う前に、消去期間T_{sa}において、走査信号線G₁～G₁₅が順に選択されて、コンデンサC1のデータが消去され、初期化される。

【0034】このようにメモリ素子であるコンデンサC1を備える素子回路Aにも、総ての該素子回路Aを初期化した後に電流測定を行うことで、電源線Eを流れている電流は走査信号線Gで選択された素子回路Aのみの負荷電流となるので、表示領域外の信号コントローラ4による制御で、各電源線E（＝データ信号線D）毎に共通に電流測定を行うことができる。これによって、所望とする階調を得るための表示データを、周囲温度変化などに対応してダイナミックに補正するにあたって、アクティブマトリクス有機ELパネル2であっても、各有機EL素子Pの電流値検出を効率的に行うことができるとともに、前記各素子回路Aでの該有機EL素子Pの面積、すなわち開口率を向上することもできる。

【0035】なお、図4の例では、毎表示期間T_a（フレーム期間T_f）毎に電流測定を行っているけれども、複数のフレーム毎に行う場合には、電流測定を行うフレームの直前のフレームに消去期間T_{sa}を設け、その消去期間T_{sa}に引続き電流測定期間T_mを設けるようにすればよい。

【0036】本発明の実施の第2の形態について、図5～図7に基づいて説明すれば、以下のとおりである。

【0037】図5は、本発明の実施の第2の形態の有機ELディスプレイ11の全体構成を示す図である。この有機ELディスプレイ11は、前述の有機ELディスプレイ1に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、前述の

有機ELディスプレイ1がアナログ階調制御であったのに対して、この有機ELディスプレイ11はデジタル階調制御であることである。そのため、図1では演算回路B1~Bnであった箇所に、メモリMa1~Man（総称するときには、以下参照符Maで示す）が挿入される。そして、このメモリMaによって、入力された画素単位のデータを、ビット単位のデータにタイミング変換する。なお、本実施形態では、有機ELパネル2aには、前記走査信号線G1~Gmと平行に、各素子回路Aa11~Aamn（総称するときには、以下参照符Aaで示す）を貫いて、もう1つの走査信号線S1~Sm（総称するときには、以下参照符Sで示す）が配設されるとともに、走査コントローラ3aは、これらの走査信号線G、Sを選択制御する。

【0038】ここで、有機EL素子をアクティブ素子で駆動する場合、階調表示を実現する手法は、アナログ階調制御とデジタル階調制御とに大別することができ、アナログ階調制御は、上述のように有機EL素子を流れる電流値を制御する方法である。一方、デジタル階調制御は、画素分割階調と時間分割階調とに区分することができ、画素分割階調は1つの画素を複数の有機EL素子で構成し、各有機EL素子を選択的にon/off駆動することで階調表示を行う方法であり、時間分割階調は有機EL素子を流れる電流の時間を制御する方法である。前記画素分割階調は、前記のように1つの画素を複数の有機EL素子で構成するので、高精細な用途には適さず、本発明は時間分割階調を対象とする。

【0039】前記図4から明らかなように、或る走査信号線Giが選択されている間は、残余の走査信号線G1~Gi-1、Gi+1~Gmを選択することができず、したがって前記時間分割階調制御を行う場合には、或る走査信号線Giに対して、或るビットのデータを出力すると、次のビットのデータが出力されるのは、残余の走査信号線Gi+1~Gm、G1~Gi-1の総てにデータを出力してからになり、下位ビットのデータによる単位表示時間が長くなり、前記1フレーム期間Tfが長くなる。このため、前記走査信号線Sが設けられて、走査信号線Gによって開始された表示を、該走査信号線Sによる走査でブランク表示に切換えることで、前記単位表示時間を前記走査期間Tsよりも短くすることが可能となっている。

【0040】メモリMaから出力されたデータ信号が「1」のとき、そのデータ信号に対応する電圧が、D/A変換回路Fからデータ信号線Dを介して素子回路Aaに与えられ、前記出力されたデータ信号が「0」であるとき、有機EL素子Pを非表示とするための電圧が、D/A変換回路Fからデータ信号線Dを介して素子回路Aaに与えられる。

【0041】図6は、素子回路Aaの電気回路図である。この素子回路Aaは、前述の素子回路Aに対して、

他の走査信号線Gが選択されている間に該素子回路Aaをブランク表示に切換えるために、さらにもう1つのアクティブ素子であり、ゲートが前記走査信号線Sに接続され、ソース（ドレイン）が前記コンデンサC1に接続され、ドレイン（ソース）が初期化（有機EL素子Pを非表示とする）電位（図6の例では、電源線Eの電位）とされるn型のTFETQ3を備えて構成される。このTFETQ3が導通することで、コンデンサC1に記憶されたデータが消去され、有機EL素子Pは前記ブランク表示となる。この図6で示す素子回路Aaの構成は、K. Inukai他によって、SID'00 DIGESTのp924~927に示されているものである。

【0042】図7は、前記有機ELディスプレイ11による時間分割階調での駆動方法の一例を示す図である。この図7の例では、有機ELパネル2aの走査信号線はG1~G15の15本で1つの単位と想定されており、各走査信号線G1~G15の選択状態を、図7(3)~(17)で示している。図7(2)は、bitの重みを示す。図7(1)は各区分の期間内での単位時間表示であり、図7(18)は通算の時間表示（単位時間数）であり、1フレーム期間Tfは60の単位時間から構成されている。

【0043】この走査例では、前述の図4の走査例と同様に、前記1フレーム期間Tfが電流測定期間Tmと表示期間Taとから構成されており、たとえば数十[Hz]の周期で走査を行っている。電流測定期間Tmでは、走査信号線G1~G15が順に選択され、このときメモリMaは各素子回路Aaの有機EL素子Pに予め定める電圧を与えており、こうして各有機EL素子Pの電流特性が順に測定される。

【0044】続く表示期間Taも、発光期間Tdと消去期間Tsaとから構成されている。前記発光期間Td内には、各ビットに対応した4つの走査期間Ts1~Ts4が設定される。この走査例では、1ビットの重みが2単位時間に相当している。最初の走査期間Ts1では、走査信号線G1~G15が順に選択されて、コンデンサC1にbit1のデータ信号が取込まれて表示が行われ、2単位時間後に走査信号線S1~S15が順に選択されて、Blank走査が行われる。次の走査期間Ts2では、走査信号線G1~G15が順に選択されて、コンデンサC1にbit2のデータ信号が取込まれて表示が行われ、4単位時間後に走査信号線S1~S15が順に選択されて、Blank走査が行われる。

【0045】続いて、走査期間Ts3では、走査信号線G1~G15が順に選択されて、コンデンサC1にbit3のデータ信号が取込まれて表示が行われる。このbit3の重みでは、8単位時間に亘って表示が行われ、Blank走査を行うことなく、引き続き走査期間Ts4に移って、bit4のデータ信号が取込まれて、16単位時間に亘って表示が行われる。こうして、各bitの

表示期間の比率が、1:2:4:8となる。bit 4の表示が終了すると、7単位時間から成る前記消去期間 T_{sa} となり、次の電流測定期間 T_m に備えてのBlank走査が行われる。

【0046】このように走査信号線SおよびTF TQ_3 を設けて、走査信号線Gによって開始された表示を該走査信号線Sによる走査でBlank表示に切換え、単位表示時間を走査期間 T_s よりも短くすることによって、デジタル階調制御を行うにあたって、下位のビットのデータにも、そのビットの重みに対応した短時間の表示を正確に行わせることができ、ビット数の多い細かな階調制御を行うことができる。

【0047】なお、この図7の駆動方法において、発光期間 T_d の走査は、前記SID ' 00 DIGESTのp924~927に示されており、この図7の例は、さらに消去期間 T_{sa} および電流測定期間 T_m を設定することで、時間分割階調を行いつつ、電流測定を実現している。

【0048】なお、前記発光期間 T_d において、各素子回路AのコンデンサC1へ蓄える発光電位は、電流測定期間 T_m において測定された各素子回路Aの電流値を基に、各素子回路A毎に設定される。すなわち、電流測定期間 T_m において予め定められた電圧を各素子回路AのコンデンサC1へ蓄え、このときに各素子回路Aの有機EL素子Pを流れる電流値を電流測定回路Kを用いて測定し、その結果を基に各素子回路A毎の補正值を作成し、メモリMに格納する。そして、発光期間 T_d において、データが発光電位のとき、D/A変換回路Fにその各素子回路A毎の補正值に基づく電圧を発生させ、各素子回路AのコンデンサC1へ発光電位を蓄える。

【0049】本発明の実施の第3の形態について、図8~図15に基づいて説明すれば、以下のとおりである。

【0050】図8は本発明の実施の第3の形態の有機ELディスプレイ21の全体構成を示す図であり、図9はその有機ELディスプレイ21の有機ELパネル2bにおける素子回路Abの電気回路図である。この有機ELディスプレイ11は、前述の有機ELディスプレイ1、11に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。

【0051】この有機ELディスプレイ21は、後述するような格別の走査方法を採用するものであり、その構成を説明する前に、前述の図7の走査方法について詳述する。図7の走査方法では、4bitの時間分割階調表示に必要な走査時間は、1回の走査時間 7×5 (= 4bit分 + Blank分) = 35単位時間であるのに対して、必要な表示期間 T_a は、1bit目の走査時間 $7 + 2$ bit目の走査時間 $7 + 3$ bit目の発光期間 $8 + 4$ bit目の発光期間 $16 +$ Blank走査時間 $7 = 45$ 単位時間である。また、前記表示期間 T_a の内、実際に発光に使用される時間は、 $2 + 4 + 8 + 16 = 30$ 単位

時間である。

【0052】このように図7の駆動方法では、表示期間 T_a の中で走査していない期間や発光に使われていない時間が多く存在するので、それだけ1走査当りの時間を短くし、高速に走査する必要があるので、コントローラ3a、4等の駆動回路やアクティブ素子の高速化が必要となる。また、表示期間 T_a に発光に使われていない時間があるということは、それだけ1単位時間当たりの発光強度を高めなければならないので、その分有機EL素子Pを流れる電流が増えて、経時変化を速く起こすという問題がある。

【0053】そこで、表示期間 T_a 中の前記非走査期間や非発光期間を無くすることができる時間分割階調の駆動方法として、特開昭63-226178号公報の駆動方法を使用することが考えられる。図10は、その先行技術での駆動方法を示す図である。この図10の例でも、マトリクス型ディスプレイの走査信号線はG1~G15の15本で1つの単位と想定されており、各走査信号線G1~G15の選択状態を、図10(3)~(17)でそれぞれ示している。そして、各画素で16階調(4bit)の階調表示を実現しており、各bitの重み1:2:4:8に比例した時間だけ、各画素は対応した2値表示を行う。図10(1)には単位時間を示し、1フレーム期間 T_f は15の単位時間から構成されている。図10(2)は、前記bitの重みを示す。

【0054】各画素はメモリ素子を備えており、図10(3)~(17)において、斜線は走査信号線によって選択されていることを表し、次の斜線まで、その状態を保持する。こうして、各bitの表示期間の比率が、前記1:2:4:8となる。

【0055】しかしながら、共通のデータ信号線を用いて、異なる走査信号線にそれぞれ対応した複数の各画素へ異なるデータを同時に書込むことは不可能なので、この特開昭63-226178号では、図11(2)に部分時間として示すように、図10(1)の各単位時間を、さらにbitの数4で分割し、その各単位時間の第1の部分時間では1bit目の書込みを行い、第2の部分時間では2bit目の書込みを行い、第3の部分時間では3bit目の書込みを行い、第4の部分時間では4bit目の書込みを行うことで、図10で示すような時間分割の階調制御を可能にしている。なお、図11(1)の単位時間は図10(1)に、図11(3)のビットの重みは図10(2)に、図11(4)~(18)の選択状態は図10(3)~(17)に、それぞれ対応している。また、図11(19)は、部分時間の通算の表示である。

【0056】この先行技術に、前記消去期間 T_{sa} および電流測定期間 T_m を導入すると、図12および図13で示すようになる。図12(1)~図12(17)は、それぞれ図10(1)~図10(17)に対応してお

り、図12(18)は通算時間の表示である。図13は、図11と図12とを合わせて、詳細に示したものであり、図13(1)～図13(18)は、それぞれ図11(1)～図11(18)に対応しており、図13(19)は通算時間の表示である。

【0057】したがって、たとえば走査信号線G1に対応した素子回路Ab11～Ab1nには、図12に示すように、電流測定期間Tmを終了した後、表示期間Taの間の第1単位時間からbit1のデータを表示させ、第2単位時間からbit2のデータを表示させ、第4単位時間からbit3のデータを表示させ、第8単位時間からbit4のデータを表示させ、第16単位時間からBlankデータを表示させることになる。

【0058】そして、同一単位時間が図13で示すように4つの部分時間から構成され、それぞれの部分時間で異なるbitに対応する書込みを行っている。各単位時間の第1部分時間ではbit1の書込みを、第2部分時間ではbit2の書込みを、第3部分時間ではbit3の書込みを、第4部分時間ではbit4の書込みを行っている。

【0059】すなわち、たとえば走査信号線G1に対応した素子回路Ab11～Ab1nには、図13(4)で示すように、第1単位時間の第1部分時間でbit1のデータを書込んで表示させ、第2単位時間の第1部分時間でBlankデータを書込んで表示させる。第2単位時間の第2部分時間でbit2のデータを書込んで表示させ、第4単位時間の第2部分時間でBlankデータを書込んで表示させる。第4単位時間の第3部分時間でbit3のデータを書込んで表示させ、第8単位時間の第3部分時間でBlankデータを書込んで表示させる。第8単位時間の第4部分時間でbit4のデータを書込んで表示させ、第16単位時間の第4部分時間でBlankデータを書込んで表示させる。そして、次の走査信号線G2に対応した素子回路Ab21～Ab2nには、図13(5)で示すように、前記走査信号線G1のタイミングから1単位時間遅れて書込みが行われる。以降、順次走査信号線毎に1単位時間ずつ遅れて書込みが行われる。

【0060】ところが、このような駆動方法では、第17単位時間で走査信号線G1がbit1の表示に戻らなければならないのに、電流測定期間Tmと表示期間Taとが交互に続く場合、それができなくなる。このため、図13に示すように、発光に使われる時間を、 $4+8+16+32=60$ 部分時間確保しようとする、該発光期間Tdの60部分時間に、走査信号線G1～G15を順に走査して消去してゆく消去期間Tsaの60部分時間がさらに必要になり、120部分時間が前記表示期間Taとして必要になる。また、この表示期間Taの内、実際に走査に使われている時間も60部分時間でしかない。本発明のような電流測定期間Tmを持った表示装置

で時間分割階調表示を行う場合、このような表示期間Taの中で走査していない期間や発光に使われていない時間を短縮するためには、従来手法とは異なる走査方法が必要となる。

【0061】そこで、注目すべきは、この有機ELディスプレイ21では、図9で示すように、各素子回路Abには、複数(図9の例では2つ)の画素メモリR1、R2を備え、図8で示すように、走査コントローラ3bは、対応したビット選択線Sa、Sbによって、それらの記憶内容を読み出して、前記コンデンサC1にセットすることである。前記ビット選択線Sa、Sbは、有機ELパネル2b上で、前記素子回路Abを貫くように、走査信号線Gと平行に配設されている。前記画素メモリR1、R2以外の構成は、前記図2の回路素子Aと同様であり、走査信号線Gで選択されている間に対応するデータ信号線Dからデータ信号を取込むn型のTFTQ1と、前記TFTQ1で取込まれたデータ信号を保持するコンデンサC1と、有機EL素子Pと、前記コンデンサC1の充電電圧に対応して、電源線Eから有機EL素子Pに流れる電流を制御するp型のTFTQ2とを備えている。

【0062】前記画素メモリR1、R2は、相互に等しく構成され、前記データ信号の書込み/読出しを制御するアクティブ素子であるn型のTFTQ10と、p型のTFTQ11およびn型のTFTQ12から成る1段目のCMOSインバータINV1と、p型のTFTQ13およびn型のTFTQ14から成る2段目のCMOSインバータINV2とを備えて構成される。CMOSインバータINV1、INV2の電源電圧は、前記電源線Eと接地電位との間の電圧となり、CMOSインバータINV1の出力がCMOSインバータINV2の入力に与えられ、CMOSインバータINV2の出力がCMOSインバータINV1の入力に帰還されて、自己保持、すなわちメモリ動作が行われる。画素メモリR1、R2のゲートには、それぞれ前記ビット選択線Sa、Sbが接続されている。

【0063】したがって、前記走査信号線Gが選択され、すなわちTFTQ1が導通している状態で、ビット選択線Sa、Sbが選択されてTFTQ10が導通すると、画素メモリR1、R2へは前記データ信号線Dからデータ信号が書込まれ、走査信号線Gが非選択、すなわちTFTQ1が遮断している状態で、ビット選択線Sa、Sbが選択されてTFTQ10が導通すると、画素メモリR1、R2から前記データ信号が読出され、コンデンサC1にセットされる。また、ビット選択線Sa、Sbが非選択、すなわちTFTQ10が遮断している状態で、走査信号線Gが選択され、すなわちTFTQ1が導通すると、前記画素メモリR1、R2にデータ信号が書込まれることなく、コンデンサC1にだけセットされる。

【0064】なお、画素メモリR1、R2から読出したデータ信号をコンデンサC1にセットするためには、コンデンサC1に貯えられていた電荷によって、逆に画素メモリR1、R2の記憶内容が書換えられてしまわないように、コンデンサC1の容量は、制御すべき最長の時間に亘ってTFTQ2を制御することができる範囲で、可能な限り小さな値に設定することが望ましい。

【0065】図8を参照して、この有機ELディスプレイ21では、図1の有機ELディスプレイ1ではD/A変換回路F1～Fnであった箇所に、メモリMb1～Mb_n（総称するときには、以下参照符Mbで示す）が挿入される。入力された表示データは、各素子回路A毎に測定され、メモリMに格納されている補正值に基づいて、演算回路Bにおいて補正され、こうして求められた各素子回路A毎に表示すべきデータは、このメモリMbに格納される。

【0066】一方、前記の走査方法とは特に関連しないけれども、信号コントローラ4bでは、各電源線E1～Enに対して、共通に電流測定回路K0が設けられ、この電流測定回路K0は、前記各電源線E1～Enに対してマルチプレックス動作を行って負荷電流を順次測定し、対応するメモリM1～M_nへ出力する。このように共通の電流測定回路K0を用いることによって、測定ばらつきをなくすることができる。

【0067】しかしながら、前述のように各電源線E1～Enに個別に電流測定回路K1～Knを設ける場合には、1回の電流測定期間T_m内で、総ての素子回路Ab11～Ab_m_nについての測定を行うことができる。そこで、前記のマルチプレックス動作は、前記走査信号線Gへの選択出力にตอบสนองして、各走査信号線Gが選択されている1走査期間内で、1ラインの総ての素子回路Abi1～Abin（iは任意のラインを表す）についての測定を行う、すなわち図4および図7の例と同様に、1回の電流測定期間T_m内で総ての素子回路Ab11～Ab_m_nについての測定を行うようにしてもよく、また前記1走査期間内で、1ライン当たり1または複数個、たとえばRGBの3つの素子回路ずつ測定を行うようにしてもよく、この1ライン当りの測定素子数は、所望とする測定周期に応じて設定すればよい。ただし、電流測定期間T_mが長くなるので、1回の電流測定期間T_m内で総ての素子回路Ab11～Ab_m_nについての測定を行うよりも、RGBの3つの素子回路ずつ測定を行う方が好ましい。

【0068】なお、以下に示すような走査方法の特徴とするこの有機ELディスプレイ21に、前記電流測定回路K1～Knが用いられてもよく、前述の有機ELディスプレイ1、11に、この電流測定回路K0が用いられてもよいことは言うまでもない。

【0069】図14は、上述のように構成される有機ELディスプレイ21による時間分割階調での駆動方法の

一例を示す図である。この図14では、電流測定期間T_mを終了した後の表示期間T_aを説明している。この例でも、有機ELパネル2bの走査信号線はG1～G15の15本で1つの単位と想定されており、各走査信号線G1～G15の選択状態を、図14(7)～(21)で示している。図14(1)は単位時間表示であり、図14(22)は通算の時間表示（単位時間数）である。図14(3)はbit4のデータの通算表示時間を示し、図14(5)はbit3のデータの通算表示時間を示す。図14(6)は、ビットの重みを示す。

【0070】注目すべきは、図14(2)に示す前記ビット選択線Sa1（前記走査信号線G1～G15に対応してSa1～Sa15を記載すべきところ、図面の簡略化のためにSa1のみとしている。以下のビット選択線Sbについても同様。）の選択走査および図14(4)に示す前記ビット選択線Sb1の選択走査である。各ビット選択線Sa、Sbは、特に記載しない限り、非選択状態であり、前記図14(2)、(4)では、ハイレベルHが選択状態を表す。画素メモリR1、R2には、bit4のデータおよびbit3のデータがそれぞれ記憶されるものとする。各走査期間Ts1～Ts4は、15単位時間で構成される。

【0071】表示期間T_aの最初の走査期間Ts1において、走査信号線G1～G15が順に選択されてbit4のデータを表示させながら、ビット選択線Saが選択されて該bit4のデータが画素メモリR1に書込まれてゆく。走査信号線G1～G15の選択を終了するまで、したがって15単位時間に亘って、該bit4のデータが表示される。

【0072】走査期間Ts1が終了すると、連続して次の走査期間Ts2に入り、表示をbit4に対応したデータからbit3のデータへ切換えながら、ビット選択線Sbが選択されて該bit3のデータが画素メモリR2に書込まれてゆく。そして、この走査期間Ts2で該bit3のデータを9単位時間に亘って表示した後、走査信号線G1～G15が選択されていない状態で、その選択を追いかけるように、ビット選択線Saが選択されてbit4のデータが画素メモリR1から読出され、残りの6単位時間に亘って表示される。これによって、bit4のデータの通算表示時間は21単位時間となる。

【0073】こうして走査期間Ts2を終了すると、走査期間Ts3では、表示をbit4に対応したデータからbit2のデータへ切換え、8単位時間に亘って表示した後、走査信号線G1～G15が選択されていない状態で、その選択を追いかけるように、ビット選択線Sbが選択されてbit3のデータが画素メモリR2から読出され、残りの6単位時間に亘って表示される。これによって、bit3のデータの通算表示時間は16単位時間となる。

【0074】走査期間Ts4では、表示をbit3に対

応したデータからbit1のデータへ切換え、4単位時間に亘って表示した後、ビット選択線Saが選択されてbit4のデータが画素メモリR1から再び読出され、残りの11単位時間に亘って表示される。これによって、bit4のデータの通算表示時間は32単位時間となり、各bitの表示期間の比率が、前記1:2:4:8となる。

【0075】走査期間Ts4を終了すると、連続して次の消去期間Tsaに入り、表示をbit4に対応した画素メモリR1のデータから、非発光状態に対応したデータに切換え、コンデンサC1に保持させてゆくとともに、ブランク表示を行う。この消去期間Tsaでの選択によって一旦総ての回路素子Abを流れる負荷電流を消去することで、次の電流測定期間Tmでの測定が可能となる。なお、消去期間Tsaでは、コンデンサC1のデータの消去とともに、この図14で示すように、画素メモリR1、R2のデータを消去してもよい。

【0076】このような走査を行うことで、4bitの時間分割階調表示に必要な表示期間Taは、1回の走査期間 $15 \times (4 \text{ bit分} + \text{Blank分}) = 75$ 単位時間であるのに対して、実際に発光に使用された時間は、 $4 + 8 + 16 + 32 = 60$ 単位時間である。

【0077】このように画素メモリR1、R2を用い、走査信号線Gで選択されていないときに、ビット選択線Sa、Sbを選択することで、任意のタイミングで上位のビットのデータを読出し、表示を行うことができる。これによって、下位のビットのデータでの表示が終了すると、そのビットの走査期間Ts内での残りの時間を上

発光に使用される時間＝時間分割階調表示に必要な走査時間 … (1)

となるように走査信号線Gの数を15本と設定している。この式1を満足する条件を、4bit階調表示について調べた結果を表1に示す。

位のビットのデータの表示に用いることができ、複数の各ビットに対して等間隔の走査期間を設定しても、表示期間Taの中で走査していない期間や発光に使われていない時間を短縮することができる新規な時間分割階調表示を実現することができる。

【0078】なお、このように表示期間Taの殆どを発光に使用する場合、経時変化に伴って表示が暗くなるのに対応して、非発光時間を短縮することでそれを補償することはできなくなるので、RGBの色味が揃うよう、有機EL素子の電流特性の経時変化に合わせて、残余の色の有機EL素子の電流値を調整しておくことが好ましい。

【0079】上述の駆動方法は、前述の電流測定を行わない構成においても、表示期間Taの中で走査していない期間や発光に使われていない時間の短縮に効果を有しており、適用可能である。そこで、電流測定期間Tmを持たない構成での駆動方法を、図15で示す。図15

(1)～(22)は、図14(1)～(22)にそれぞれ対応している。注目すべきは、消去期間Tsaがなくなり、発光期間Tdが、そのまま表示期間Taおよびフレーム期間Tfとなることである。

【0080】このようにした場合、前述の特開昭63-226178号の時間分割階調表示方法と比べて、前記の表示期間Ta中の非走査期間や非発光時間の短縮によって、同等以上の走査・発光効率を得ることができ、さらに走査を1ライン毎に順番に行うので、制御が楽になるという効果を得ることができる。

【0081】なお、本駆動方法では、

【0082】

【表1】

| a | b | c | d | e | f | g | h |
|---|----|----|---|-----|---|--------|---------|
| 4 | 4 | 16 | 1 | 15 | ▲ | 16 | ○ x x x |
| 4 | 4 | 16 | 2 | 30 | △ | 9 | ○ ○ x x |
| 4 | 5 | 20 | 2 | 30 | △ | 11 | ○ ○ x x |
| 4 | 6 | 24 | 2 | 30 | △ | 13 | ○ ○ x x |
| 4 | 6 | 24 | 3 | 45 | △ | 9 | ○ ○ x x |
| 4 | 7 | 28 | 2 | 30 | △ | 15 | ○ ○ x x |
| 4 | 7 | 28 | 3 | 45 | △ | 10.333 | ○ ○ x x |
| 4 | 8 | 32 | 2 | 30 | ▲ | 16 | ○ x x x |
| 4 | 8 | 32 | 3 | 45 | △ | 11.367 | ○ ○ x x |
| 4 | 8 | 32 | 4 | 60 | △ | 9 | ○ ○ x x |
| 4 | 9 | 36 | 2 | 30 | ▲ | 16 | ○ x x x |
| 4 | 9 | 36 | 3 | 45 | △ | 13 | ○ ○ x x |
| 4 | 9 | 36 | 4 | 60 | △ | 10 | ○ ○ x x |
| 4 | 10 | 40 | 3 | 45 | △ | 14.333 | ○ ○ x x |
| 4 | 10 | 40 | 4 | 60 | △ | 11 | ○ ○ x x |
| 4 | 10 | 40 | 5 | 75 | △ | 9 | ○ ○ x x |
| 4 | 11 | 44 | 3 | 45 | △ | 15.667 | ○ ○ x x |
| 4 | 11 | 44 | 4 | 60 | △ | 12 | ○ ○ x x |
| 4 | 11 | 44 | 5 | 75 | △ | 9.8 | ○ ○ x x |
| 4 | 12 | 48 | 3 | 45 | ▲ | 16 | ○ x x x |
| 4 | 12 | 48 | 4 | 60 | △ | 13 | ○ ○ x x |
| 4 | 12 | 48 | 5 | 75 | △ | 10.8 | ○ ○ x x |
| 4 | 12 | 48 | 6 | 90 | △ | 9 | ○ ○ x x |
| 4 | 13 | 52 | 3 | 45 | ▲ | 16 | ○ x x x |
| 4 | 13 | 52 | 4 | 60 | △ | 14 | ○ ○ x x |
| 4 | 13 | 52 | 5 | 75 | △ | 11.4 | ○ ○ x x |
| 4 | 13 | 52 | 6 | 90 | △ | 9.6667 | ○ ○ x x |
| 4 | 14 | 56 | 3 | 45 | ▲ | 16 | ○ x x x |
| 4 | 14 | 56 | 4 | 60 | △ | 15 | ○ ○ x x |
| 4 | 14 | 56 | 5 | 75 | △ | 12.2 | ○ ○ x x |
| 4 | 14 | 56 | 6 | 90 | △ | 10.333 | ○ ○ x x |
| 4 | 14 | 56 | 7 | 105 | △ | 9 | ○ ○ x x |
| 4 | 15 | 60 | 4 | 60 | ○ | 16 | ○ ○ x x |
| 4 | 15 | 60 | 5 | 75 | △ | 13 | ○ ○ x x |
| 4 | 15 | 60 | 6 | 90 | △ | 11 | ○ ○ x x |
| 4 | 15 | 60 | 7 | 105 | △ | 9.5714 | ○ ○ x x |

【0083】表1において、(a)はbit数、(b)は走査信号線数、(c)は走査信号線数×bit数=時間分割階調表示に必要な走査時間、(d)は1階調当りの表示期間、(e)は発光に使用される階調表示期間である。(f)は判定であり、「▲」とあるのは走査信号線数×bit数>時間分割階調表示となって本構成では階調表示ができない場合であり、「△」とあるのは走査を不連続にすれば4bit階調表示が可能な場合であり、「○」とあるのが上記式1を満たし、階調表示可能な場合である。

【0084】また、(f)で「△」とあり、階調表示は

可能であるが、走査を不連続としない限り表示階調数が制限される場合に、走査を連続にして表示可能な階調数を(g)に示している。さらにまた、(h)は必要な画素メモリの素子数であり、「○」の数だけメモリ素子が必要であることを表す。なお、この表1に示したのは、必要メモリ数が2以下の場合だけである。

【0085】一方、表2には、同様に2bitの階調表示の場合での実現可能性の判定結果を示し、(a)～(h)の内容は、それぞれ表1に対応している。

【0086】

【表2】

| a | b | c | d | e | f | g | h | | | |
|---|---|----|---|----|---|--------|---|---|---|---|
| 2 | 1 | 2 | 1 | 3 | △ | 3 | ○ | x | x | x |
| 2 | 2 | 4 | 1 | 3 | ▲ | 4 | x | x | x | x |
| 2 | 2 | 4 | 2 | 6 | △ | 3 | ○ | x | x | x |
| 2 | 3 | 6 | 2 | 6 | ○ | 4 | ○ | x | x | x |
| 2 | 3 | 6 | 3 | 9 | △ | 3 | ○ | x | x | x |
| 2 | 4 | 8 | 2 | 6 | ▲ | 4 | x | x | x | x |
| 2 | 4 | 8 | 3 | 9 | △ | 3.6667 | ○ | x | x | x |
| 2 | 4 | 8 | 4 | 12 | △ | 3 | ○ | x | x | x |
| 2 | 5 | 10 | 2 | 6 | x | 4 | x | x | x | x |
| 2 | 5 | 10 | 3 | 9 | ▲ | 4 | ○ | x | x | x |
| 2 | 5 | 10 | 4 | 12 | △ | 3.5 | ○ | x | x | x |
| 2 | 5 | 10 | 5 | 15 | △ | 3 | ○ | x | x | x |
| 2 | 6 | 12 | 3 | 9 | ▲ | 4 | x | x | x | x |
| 2 | 6 | 12 | 4 | 12 | ○ | 4 | ○ | x | x | x |
| 2 | 6 | 12 | 5 | 15 | △ | 3.4 | ○ | x | x | x |
| 2 | 6 | 12 | 6 | 18 | △ | 3 | ○ | x | x | x |

【0087】この表2から、走査信号線数が3の倍数本のとき、前記式1を満たすことが理解される。なお、この表1に示したのは、必要メモリ数が1の場合だけである。

【0088】また、表3には、同様に3bitの階調表

示の場合での実現可能性の判定結果を示し、(a)～(h)の内容は、それぞれ前記の表1および表2に対応している。

【0089】

【表3】

| a | b | c | d | e | f | g | h | | | |
|---|----|----|---|----|---|------|---|---|---|---|
| 3 | 2 | 6 | 1 | 7 | △ | 7 | ○ | x | x | x |
| 3 | 3 | 9 | 1 | 7 | ▲ | 8 | ○ | x | x | x |
| 3 | 4 | 12 | 2 | 14 | △ | 7 | ○ | x | x | x |
| 3 | 5 | 15 | 2 | 14 | ▲ | 8 | ○ | x | x | x |
| 3 | 6 | 18 | 2 | 14 | ▲ | 8 | ○ | x | x | x |
| 3 | 6 | 18 | 3 | 21 | △ | 7 | ○ | x | x | x |
| 3 | 7 | 21 | 3 | 21 | ○ | 8 | ○ | x | x | x |
| 3 | 8 | 24 | 3 | 21 | ▲ | 8 | ○ | x | x | x |
| 3 | 8 | 24 | 4 | 28 | △ | 7 | ○ | x | x | x |
| 3 | 9 | 27 | 3 | 21 | ▲ | 8 | ○ | x | x | x |
| 3 | 9 | 27 | 4 | 28 | △ | 7.75 | ○ | x | x | x |
| 3 | 10 | 30 | 3 | 21 | x | 8 | ○ | x | x | x |
| 3 | 10 | 30 | 4 | 28 | ▲ | 8 | ○ | x | x | x |
| 3 | 10 | 30 | 5 | 35 | △ | 7 | ○ | x | x | x |
| 3 | 11 | 33 | 4 | 28 | ▲ | 8 | ○ | x | x | x |
| 3 | 11 | 33 | 5 | 35 | △ | 7.6 | ○ | x | x | x |
| 3 | 12 | 36 | 4 | 28 | ▲ | 8 | ○ | x | x | x |
| 3 | 12 | 36 | 5 | 35 | ▲ | 8 | ○ | x | x | x |
| 3 | 12 | 36 | 6 | 42 | △ | 7 | ○ | x | x | x |
| 3 | 13 | 39 | 4 | 28 | x | 8 | ○ | x | x | x |
| 3 | 13 | 39 | 5 | 35 | ▲ | 8 | ○ | x | x | x |
| 3 | 13 | 39 | 6 | 42 | △ | 7.5 | ○ | x | x | x |
| 3 | 14 | 42 | 5 | 35 | ▲ | 8 | ○ | x | x | x |
| 3 | 14 | 42 | 6 | 42 | ○ | 8 | ○ | x | x | x |
| 3 | 14 | 42 | 7 | 49 | △ | 7 | ○ | x | x | x |

【0090】この表3から、走査信号線数が7の倍数本のとき、前記式1を満たすことが理解される。なお、表3に示したのは、必要メモリ数が1の場合だけである。

【0091】本発明の実施の第4の形態について、図16～図20に基づいて説明すれば、以下のとおりである。

【0092】図16は、本発明の実施の第4の形態の有機ELディスプレイにおける素子回路Acの電気回路図である。この素子回路Acは、前述の図6で示す素子回路Aaおよび図9で示す素子回路Abに類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、この素子回路Acでは、画素メモリR1を備えるとともに、コンデンサC1（および画

素メモリR1）を初期化電位に接続することで、記憶されたデータを消去するTFTQ3が設けられていることである。

【0093】このような素子回路Acを用いた駆動方法は、図17に示すようになる。図17(1)は走査期間Tsを8等分した部分時間を示し、図17(3)はbit4のデータの通算表示時間を示し、図17(5)はビットの重みを示し、(22)は通算の時間表示を示す。図14(2)にはビット選択線Sa1の選択走査を示し、図14(4)は走査信号線S1の選択走査を示す。一方、この例では走査信号線はG1～G16の16本で1つの単位と想定されており、図17(6)～(21)はそれぞれの選択状態を示す。なお、電流測定期間Tm

の説明は省略し、その後の表示期間T aのみの説明を行う。

【0094】表示期間T aの最初の走査期間T s 1にb i t 4のデータを表示させながら、T F T Q 10を介してそのデータを画素メモリR 1に記憶させておく。走査信号線G 1～G 16まで選択を終了すると、連続して次の走査期間T s 2に入り、表示をb i t 4に対応したデータからb i t 3のデータに切替える。このとき、走査期間T sをb i t 3に対応したデータ表示期間より大き目に設定し、前述のようにb i t 3に対応したデータの表示期間が終了すると、その走査を追いかけるように表示させるべきデータをb i t 4に対応したデータに切替える走査を行ってもよいけれども、この図17の例では、走査期間T s = b i t 3に対応したデータ表示期間となっているので、そのような走査は挿入されていない。

【0095】b i t 3に対応したデータを表示させる走査を走査信号線G 1～G 16まで終了すると、連続して次の走査期間T s 3に入り、表示をb i t 2に対応したデータに切替える。この走査を追いかけるように、4部分時間後からビット選択線S aの選択走査を開始し、T F T Q 10を介して前記画素メモリR 1からデータを読み出して、再びb i t 4に対応したデータの表示を行う。b i t 2に対応したデータをコンデンサC 1に保持させる走査を走査信号線G 1～G 16まで終了したら、連続

走査信号線数 \geq b i t 3の表示期間
発光に使用される時間 … (2)

\geq 走査信号線数 \times (b i t 数4-1) + b i t 1の表示期間 … (3)

時間分割階調表示に必要な走査時間 \geq 発光に使用される時間 … (4)

の各条件を満たす走査信号線数から選ばれている。これらの式2～4を満たす条件を、4 b i t 階調表示について調べた結果を表4に示す。

して次の走査期間T s 4に入り、表示をb i t 1に対応したデータに切替える。この走査を追いかけるように、2部分時間後に、画素メモリR 1からデータを読み出して、再びb i t 4に対応したデータの表示を行う。この最後のb i t 4のデータに対応した表示までに、 $8+4=12$ 部分時間だけ表示しているので、この走査を追いかけるように、4部分時間後に走査信号線Sを選択走査し、コンデンサC 1のデータを消去して、次の電流測定期間T mにあたってのブランク表示を行う。このとき、図17で示すように、前記ビット選択線S aも選択走査を行い、画素メモリR 1のデータを消去してもよい。

【0096】このように、最後の走査期間T s 4において、b i t 4に対応したデータの表示 (= 総てのデータの表示) を終了した後、余分な時間が残されていると、その時点で、走査信号線G 1～G 16やビット選択線S aとは独立した走査を行うことができる走査信号線Sの選択走査によって消去走査を行うことで、前述の各実施の形態では、n b i t 分の発光に使用される時間 = n b i t 分の走査に必要な時間でない、余分な走査時間が必要であったり、表示階調数が減ってしまう等の不具合があるのに対して、本実施の形態では、そのような不具合を解消することができる。

【0097】なお、図17では走査信号線数を16本としたけれども、これは、

【0098】

【表4】

| a | b | c | d | e | f | g | h |
|---|----|----|---|----|----|----|---|
| 4 | 4 | 16 | 1 | 4 | 13 | 15 | ○ |
| 4 | 5 | 20 | 1 | 4 | 16 | 15 | ▲ |
| 4 | 6 | 24 | 1 | 3 | 19 | 15 | ▲ |
| 4 | 7 | 28 | 1 | 4 | 22 | 15 | ▲ |
| 4 | 8 | 32 | 1 | 4 | 25 | 15 | ▲ |
| 4 | 8 | 32 | 2 | 8 | 26 | 30 | ○ |
| 4 | 8 | 32 | 3 | 3 | 27 | 45 | △ |
| 4 | 9 | 36 | 1 | 4 | 28 | 15 | ▲ |
| 4 | 9 | 36 | 2 | 8 | 29 | 30 | ○ |
| 4 | 10 | 40 | 1 | 4 | 31 | 15 | ▲ |
| 4 | 10 | 40 | 2 | 8 | 32 | 30 | ▲ |
| 4 | 11 | 44 | 1 | 4 | 34 | 15 | ▲ |
| 4 | 11 | 44 | 2 | 8 | 35 | 30 | ▲ |
| 4 | 12 | 48 | 1 | 4 | 37 | 15 | ▲ |
| 4 | 12 | 48 | 2 | 8 | 38 | 30 | ▲ |
| 4 | 12 | 48 | 3 | 12 | 39 | 45 | ○ |
| 4 | 13 | 52 | 1 | 4 | 40 | 15 | ▲ |
| 4 | 13 | 52 | 2 | 8 | 41 | 30 | ▲ |
| 4 | 13 | 52 | 3 | 12 | 42 | 45 | ○ |
| 4 | 14 | 56 | 1 | 4 | 43 | 15 | ▲ |
| 4 | 14 | 56 | 2 | 8 | 44 | 30 | ▲ |
| 4 | 14 | 56 | 3 | 12 | 45 | 45 | ○ |
| 4 | 15 | 60 | 1 | 4 | 46 | 15 | ▲ |
| 4 | 15 | 60 | 2 | 8 | 47 | 30 | ▲ |
| 4 | 15 | 60 | 3 | 12 | 48 | 45 | ▲ |
| 4 | 16 | 64 | 1 | 4 | 49 | 15 | ▲ |
| 4 | 16 | 64 | 2 | 8 | 50 | 30 | ▲ |
| 4 | 16 | 64 | 3 | 12 | 51 | 45 | ▲ |
| 4 | 16 | 64 | 4 | 16 | 52 | 60 | ○ |

【0099】表4において、(a)はbit数、(b)は走査信号線数、(c)は走査信号線数×bit数＝時間分割階調表示に必要な走査時間、(d)は1階調当りの表示期間、(e)はbit3の表示期間、(f)は走査信号線数×(bit数4-1)+bit1の表示期間、(g)は発光に使用される階調表示期間である。

(h)は判定であり、「▲」とあるのは4bit階調で表示可能であるけれども発光期間が不連続となる場合であり、「△」とあるのは4bit階調で表示可能で、かつ発光期間が連続となる場合であり、「○」とあるのが上記式2～4を満足する場合である。

【0100】表4から、走査信号線数が4、8、9、12、13、14、16本（以下続くが省略）の場合に、上記式2～4を満足することが理解される。前記図17では、走査信号線はG1～G16の16本で、4bit階調表示であり、実線で示すように表示走査が連続的に行われており、この表4の結果に合致している。

【0101】一方、表5には、同様に2bitの階調表示の場合での実現可能性の判定結果を示し、(a)～(h)の内容は、それぞれ表4に対応している。

【0102】

【表5】

| a | b | c | d | e | f | g | h |
|---|---|----|---|---|----|----|---|
| 2 | 1 | 2 | 1 | 1 | 2 | 3 | △ |
| 2 | 2 | 4 | 1 | 1 | 3 | 3 | ○ |
| 2 | 2 | 4 | 2 | 2 | 4 | 6 | △ |
| 2 | 3 | 6 | 1 | 1 | 4 | 3 | ▲ |
| 2 | 3 | 6 | 2 | 2 | 5 | 6 | ○ |
| 2 | 3 | 6 | 3 | 3 | 6 | 9 | △ |
| 2 | 4 | 8 | 1 | 1 | 5 | 3 | ▲ |
| 2 | 4 | 8 | 2 | 2 | 6 | 6 | ○ |
| 2 | 4 | 8 | 3 | 3 | 7 | 9 | △ |
| 2 | 4 | 8 | 4 | 4 | 8 | 12 | △ |
| 2 | 5 | 10 | 1 | 1 | 6 | 3 | ▲ |
| 2 | 5 | 10 | 2 | 2 | 7 | 6 | ▲ |
| 2 | 5 | 10 | 3 | 3 | 8 | 9 | ○ |
| 2 | 5 | 10 | 4 | 4 | 9 | 12 | △ |
| 2 | 5 | 10 | 5 | 5 | 10 | 15 | △ |
| 2 | 6 | 12 | 1 | 1 | 7 | 3 | ▲ |
| 2 | 6 | 12 | 2 | 2 | 8 | 6 | ▲ |
| 2 | 6 | 12 | 3 | 3 | 9 | 9 | ○ |
| 2 | 6 | 12 | 4 | 4 | 10 | 12 | ○ |
| 2 | 6 | 12 | 5 | 5 | 11 | 15 | △ |
| 2 | 6 | 12 | 6 | 6 | 12 | 18 | △ |

【0103】この表5から、走査信号線数が2, 3, 4, 5, 6 (以下続くが省略) の場合に、前記式2~4を満足することが理解される。

【0104】また、表6には、同様に3bitの階調表示の場合での実現可能性の判定結果を示し、(a)~

(h)の内容は、それぞれ前記の表4および表5に対応している。

【0105】

【表6】

| a | b | c | d | e | f | g | h |
|---|----|----|---|----|----|----|---|
| 3 | 2 | 6 | 1 | 2 | 5 | 7 | △ |
| 3 | 3 | 9 | 1 | 2 | 7 | 7 | ○ |
| 3 | 3 | 9 | 2 | 3 | 8 | 14 | △ |
| 3 | 4 | 12 | 1 | 2 | 9 | 7 | ▲ |
| 3 | 4 | 12 | 1 | 2 | 9 | 7 | ▲ |
| 3 | 4 | 12 | 2 | 4 | 10 | 14 | △ |
| 3 | 4 | 12 | 3 | 3 | 11 | 21 | △ |
| 3 | 5 | 15 | 1 | 2 | 11 | 7 | ▲ |
| 3 | 5 | 15 | 2 | 4 | 12 | 14 | ○ |
| 3 | 6 | 18 | 1 | 2 | 13 | 7 | ▲ |
| 3 | 6 | 18 | 2 | 4 | 14 | 14 | ○ |
| 3 | 6 | 18 | 2 | 4 | 14 | 14 | ○ |
| 3 | 6 | 18 | 3 | 6 | 15 | 21 | △ |
| 3 | 7 | 21 | 1 | 2 | 15 | 7 | ▲ |
| 3 | 7 | 21 | 2 | 4 | 16 | 14 | ▲ |
| 3 | 7 | 21 | 3 | 6 | 17 | 21 | ○ |
| 3 | 8 | 24 | 1 | 2 | 17 | 7 | ▲ |
| 3 | 8 | 24 | 2 | 4 | 18 | 14 | ▲ |
| 3 | 8 | 24 | 3 | 6 | 19 | 21 | ○ |
| 3 | 8 | 24 | 4 | 8 | 20 | 28 | △ |
| 3 | 9 | 27 | 1 | 2 | 19 | 7 | ▲ |
| 3 | 9 | 27 | 2 | 4 | 20 | 14 | ▲ |
| 3 | 9 | 27 | 3 | 6 | 21 | 21 | ○ |
| 3 | 9 | 27 | 4 | 8 | 22 | 28 | △ |
| 3 | 10 | 30 | 1 | 2 | 21 | 7 | ▲ |
| 3 | 10 | 30 | 2 | 4 | 22 | 14 | ▲ |
| 3 | 10 | 30 | 3 | 6 | 23 | 21 | ▲ |
| 3 | 10 | 30 | 4 | 8 | 24 | 28 | ○ |
| 3 | 10 | 30 | 5 | 10 | 25 | 35 | △ |

【0106】この表6から、走査信号線数が3, 5, 6, 7, 8, 9, 10 (以下続くが省略) の場合に、前記式2~4を満足することが理解される。

【0107】前述の図17で示す走査方法も、前述の図14で示す走査方法と同様に、電流測定を行わない構成についても適用することができ、その場合の駆動方法の一例を図18で示す。図18(1)~(22)は、図17(1)~(22)にそれぞれ対応している。このように構成することによって、電流測定を行わない構成についても、nbit分の発光に使用される時間≠nbit分の走査に必要な時間での走査を実現することができる。

【0108】なお、図19に、前記表4における発光が不連続となる場合の駆動方法の一例を示す。この図19の例は、前記表4(h)において「▲」である4bit階調で表示可能であるけれども発光期間が不連続となる判定例である走査信号線がG1~G10の10本の場合を示す。図19(1)~(5), (16)は、図17(1)~(5), (22)にそれぞれ対応しており、前記走査信号線G1~G10の選択状態はそれぞれ図19(6)~(15)である。図19(1)では、走査期間Tsは、10等分されている。

【0109】表示期間Taの最初の走査期間Ts1にb

it4のデータを表示させながら、TFTQ10を介してそのデータが画素メモリR1に記憶されるが、直ちにその走査を追いかけるように、1部分時間後から走査信号線Sを選択走査し、コンデンサC1のデータを消去して、ブランク表示が行われる。この走査によって、走査信号線G1~G10まで選択を終了すると、連続して次の走査期間Ts2に入り、表示をbit4に対応したデータからbit1に対応したデータに切替える。この走査を追いかけるように、2部分時間後からビット選択線Saを選択走査し、TFTQ10を介して前記画素メモリR1からデータを読み出して、bit4に対応したデータの表示を行う。

【0110】bit1に対応したデータを表示させる走査を走査信号線G1~G10まで終了すると、連続して次の走査期間Ts3に入り、表示をbit3に対応したデータに切替える。この走査を追いかけるように、8部分時間後からビット選択線Saの選択走査を開始し、TFTQ10を介して前記画素メモリR1からデータを読み出して、再びbit4に対応したデータの表示を行う。bit3に対応したデータをコンデンサC1に保持させる走査を走査信号線G1~G10まで終了したら、連続して次の走査期間Ts4に入り、表示をbit2に対応したデータに切替える。この走査を追いかけるように、

4部分時間後に、画素メモリR1からデータを読み出し、再びbit4に対応したデータの表示を行う。この最後のbit4のデータに対応した表示までに、 $1+8+2=11$ 部分時間だけ表示しているので、この走査を追いかけけるように、5部分時間後に走査信号線Sを選択走査し、コンデンサC1のデータを消去して、次の電流測定期間Tmにあたってのブランク表示を行う。

【0111】このように、1フレーム期間Tfに離散する表示期間Tdが存在することを許容するのであれば、前記図17の走査と同様に、nbit分の発光に使用される時間≠nbit分の走査に必要な時間での走査を実現することができる。

【0112】この図19で示す駆動方法も、前述の図14および図17で示す駆動方法と同様に、電流測定を行わない構成についても適用することができ、その場合の駆動方法の一例を図20で示す。図20(1)～(16)は、図19(1)～(16)にそれぞれ対応している。

【0113】本発明の実施の第5の形態について、図21～図23に基づいて説明すれば、以下のとおりである。

【0114】図21は、本発明の実施の第5の形態の有機ELディスプレイにおける素子回路Adの電気回路図である。この素子回路Adは、前述の図16で示す素子回路Acに類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、この素子回路Adでは、前記電源線Eとは独立したロジック用のもう1つの電源線Eaを備えるとともに、コンデンサC1および画素メモリR1は、その電源線Eaに接続されることである。

【0115】この新たなロジック用の電源線Eaを備えることで、前記図19で示す走査を、図22のように変化することができる。図22(1)～(3)、(5)～(17)は、図19(1)～(3)、(4)～(16)にそれぞれ対応している。図22(4)は、前記電源線Eの電圧を示し、この例では、VDD電位とGND電位との間で変化可能となっている。

【0116】まず、1フレーム期間Tfの最初に電流測定期間Tmを設け、その期間は電源線EをVDD電位として各素子回路Adの電流測定が行われる。次に、走査期間Ts1では、電源線EをGND電位として、bit4のデータが画素メモリR1に記憶されてゆく。この走査を追いかけけるように、1単位時間後に、ブランク表示とされ、コンデンサC1には非発光状態に対応した電位が保持されてゆく。この走査期間Ts1では、電源線Eの電位が前述のようにGND電位であるので、有機EL素子Pは発光しない。

【0117】このようなbit4のデータの画素メモリR1への書き込みが走査信号線G1～G10に対して順に行われると、電源線EがVDD電位とされた後、次の走

査期間Ts2に入り、bit1に対応したデータが表示される。そして、この走査を追いかけけるように、2単位時間後に、画素メモリR1のデータが読出されて、bit4のデータに対応した表示が始めて行われる。

【0118】走査期間Ts3に入り、bit3に対応したデータが表示され、この走査を追いかけけるように、8単位時間後に、画素メモリR1のデータが読出されて、bit4のデータに対応した表示が再び行われる。走査期間Ts4でも、bit2に対応したデータが表示された後、4単位時間後に、画素メモリR1のデータが読出されて、bit4のデータに対応した表示が再び行われる。こうして、bit4に対応したデータは、 $8+2+6=16$ 単位時間表示される。その後、消去期間Tsaで、一旦、総ての回路素子Adを流れる電流をクリアすることで、次の電流測定期間Tmでの電流測定が可能となる。

【0119】このように、有機EL素子Pの電源線Eを制御しながら画素メモリR1へデータを書込んでゆくことで、表4の判定(h)で「▲」となっている走査信号線数の総て(の同一1フレームの表示)を連続的に表示可能にすることができ、前記走査信号線数の制限をなくすることができる。

【0120】この図22で示す駆動方法も、前述の図14および図17で示す駆動方法と同様に、電流測定を行わない構成についても適用することができ、その場合の駆動方法の一例を図23で示す。図23(1)～(17)は、図22(1)～(17)にそれぞれ対応している。

【0121】本発明の実施の第6の形態について、図24～図26に基づいて説明すれば、以下のとおりである。

【0122】図24は、本発明の実施の第6の形態の有機ELディスプレイにおける素子回路Aeの電気回路図である。この素子回路Aeは、前述の図21で示す素子回路Adに類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、この素子回路Aeでは、前記選択信号線Sおよびそれに対応したTFTQ3が設けられていないことである。すなわち、前述の素子回路Adのように、有機EL素子Pの電源線Eと画素メモリR1の電源線Eaとを個別に制御している場合、この素子回路Aeのように初期化用のTFTQ3を持たない構成であっても、同等の表示を行うことができる。

【0123】図25は、前記素子回路Aeの駆動方法の一例を示す図である。図25(1)～(4)、(5)、(14)は、図22(1)～(4)、(6)、(17)にそれぞれ対応している。この例では、走査信号線はG1～G8の8本であり、その選択状態はそれぞれ図25(6)～(13)で示される。図25(1)では、走査期間Tsは、8等分されている。

【0124】まず、1フレーム期間 T_f の最初に電流測定期間 T_m を設け、その期間は電源線EをVDD電位として各素子回路Aeの電流測定が行われる。次に、走査期間 T_{s1} では、電源線EをGND電位として、bit 4のデータが画素メモリR1に記憶されてゆく。この走査を追いかけると、前述の素子回路Adでは1単位時間後にブランク表示のデータがコンデンサC1にセットされていたのに対して、この素子回路Aeではブランク走査が行われないけれども、電源線Eの電位が前述のようにGND電位であるので、有機EL素子Pは発光しない。

【0125】このようなbit 4のデータの画素メモリR1への書き込みが走査信号線G1～G8に対して順に行われると、電源線EがVDD電位とされた後、次の走査期間 T_{s2} に入り、bit 1に対応したデータが表示される。そして、この走査を追いかけると、2単位時間後に、画素メモリR1のデータが読出されて、bit

$$\geq (\text{走査信号線数} \times (\text{bit数} - 1) + \text{bit 1の表示期間}) \cdots (5)$$

である。そこで、表1の判定(f)において「▲」を記し、表示できないとした条件でも、上記式5は満足するので、この図25のように走査は不連続となるけれども、設定された4bit階調での表示は可能となる。このように、本駆動方法を採用することによって、前述の走査信号線数の制限の課題を緩和することができる。

【0128】図26は、この図25で示す駆動方法で、電流測定を行わない場合の駆動方法の一例を示す図である。図26(1)～(14)は、図25(1)～(14)にそれぞれ対応している。

【0129】本発明の実施の第7の形態について、図27および図28に基づいて説明すれば、以下のとおりである。

【0130】図27は、本発明の実施の第7の形態の有機ELディスプレイにおける素子回路Afの電気回路図である。この素子回路Afは、前述の図21で示す素子回路Adに類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、この素子回路Afでは、2つの画素メモリR21、R22を備えており、それらはコンデンサC21、C22と、それに直列に挿入されるn型のTFTQ21、Q22とによって構成されていることである。一方、前記コンデンサC1はn型のTFTQ20を介して電源線Eに接続され、前記TFTQ20は選択線Scによって制御される。

【0131】したがって、前述の画素メモリR1、R2が、CMOSインバータINV1、INV2から成るスタティックメモリ構成でデジタルデータをストアしていたのに対して、この画素メモリR21、R22は、コンデンサC21、C22から成るダイナミックメモリ構成でアナログデータをストアすることができ、前述のデジタル階調制御と、電圧値によるアナログ階調制御とを併

4のデータに対応した表示が始めて行われる。

【0126】走査期間 T_{s3} に入り、bit 3に対応したデータが該走査期間 T_{s3} の8単位時間の全長に亘って表示され、bit 3のデータの表示が終了すると、次の走査期間 T_{s4} に入り、bit 2に対応したデータが表示された後、4単位時間後に、画素メモリR1のデータが読出されて、bit 4のデータに対応した表示が再び行われる。このbit 4のデータの読出しが総ての走査信号線G1～G8に対して終了すると、該bit 4に対応したデータは、 $6 + 8 = 14$ 単位時間表示されたことになるので、さらに2単位時間後に、消去期間 T_{sa} となり、電源線Eの電位がGND電位とされて、一旦、総ての回路素子Aeを流れる電流をクリアすることで、次の電流測定期間 T_m での電流測定が可能となる。

【0127】ここで、上記のような走査が可能となる条件は、発光に使用される時間

用することができる。画素メモリR21、R22に要求される記憶時間が、前述のように数Hz以上の1フレーム期間 T_f 以内である場合には、このように画素メモリR21、R22がダイナミックメモリ構成であっても、支障があまりない。また、コンデンサC21、C22を改めて形成しなくとも、TFTQ20等のアクティブ素子や有機EL素子Pに付随する浮遊容量を用いて電位を保持することもできる。

【0132】ビット選択線Sa、SbによってTFTQ21、Q22の何れも導通状態でないときに、前記選択線ScによってTFTQ20が導通され、コンデンサC1へのデータの書き込み・消去／読出しが行われる。このように構成することによって、有機EL素子Pの輝度補正を、前記のように、デジタル階調制御とアナログ階調制御とを併用して行うことができる。

【0133】また、図28の素子回路Agは、上述の素子回路Afに類似したものであり、有機EL素子Pの非発光状態と、コンデンサC1へのデータの書き込み・消去／読出し状態の制御とを個別に実現するものである。

【0134】本発明の実施の第8の形態について、図29～図31に基づいて説明すれば、以下のとおりである。

【0135】図29は、本発明の実施の第8の形態の有機ELディスプレイにおける素子回路Ahの電気回路図である。この素子回路Ahは、前述の図9で示す素子回路Abに類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。この素子回路Ahでは、前記素子回路Abにおける画素メモリR2が設けられておらず、画素メモリR1のみを備えている。この素子回路Ahは、1つの画素メモリR1であっても、前記の素子回路Aeのように走査を不連続とすることで、以下に詳述するように、前記素子回路Abと同様に、4b

it階調表示が可能となっている。

【0136】図30は、前記素子回路Ahの駆動方法の一例を示す図である。この図30では、電流測定期間Tmを終了した後の表示期間Taを説明している。この例では、走査信号線はG1～G14の14本で1つの単位と想定されており、各走査信号線G1～G14の選択状態を、図30(5)～(18)で示している。図30(1)は単位時間表示であり、図30(19)は通算の時間表示(単位時間数)である。図30(3)はbit4のデータの通算表示時間を示し、図30(4)は、ビットの重みを示す。図30(2)は、ビット選択線Sa1の選択走査を示す。

【0137】表示期間Taの最初の走査期間Ts1において、走査信号線G1～G14が順に選択されてbit4のデータを表示させながら、ビット選択線Saが選択されて該bit4のデータが画素メモリR1に書込まれてゆく。走査信号線G1～G14の選択を終了するまで、したがって14単位時間に亘って、該bit4のデータが表示される。

【0138】走査期間Ts1が終了すると、連続して次の走査期間Ts2に入り、表示をbit4に対応したデータからbit3のデータへ切換えながら、該bit3のデータを前記16単位時間に亘って表示する。ここで、走査期間Ts2は14単位時間であるので、走査信号線G14が選択走査された後、2単位時間は休止期間となる。

【0139】前記休止期間を終了すると、走査期間Ts3では、表示をbit3に対応したデータからbit2

のデータへ切換え、8単位時間に亘って表示した後、走査信号線G1～G14が選択されていない状態で、その選択を追いかけるように、ビット選択線Saが選択されてbit4のデータが画素メモリR1から読出され、残りの6単位時間に亘って表示される。これによって、bit4のデータの通算表示時間は20単位時間となる。

【0140】走査期間Ts4では、表示をbit4に対応したデータからbit1のデータへ切換え、4単位時間に亘って表示した後、ビット選択線Saが選択されてbit4のデータが画素メモリR1から再び読出され、残りの10単位時間に亘って表示される。そして、走査期間Ts4の後の2単位時間の休止期間も、前記bit4のデータは表示され続ける。これによって、該bit4のデータの通算表示時間は32単位時間となり、各bitの表示期間の比率が、前記1:2:4:8となる。

【0141】前記休止期間を終了すると、次の消去期間Tsaに入り、表示をbit4に対応した画素メモリR1のデータから、非発光状態に対応したデータに切換え、コンデンサC1に保持させてゆくとともに、ブランク表示を行う。

【0142】このような休止期間を挿入した不連続な走査を行うことで、1つの画素メモリR1であっても、4bit階調表示を可能とすることができる。しかしながら、実際に走査に使用する時間は、前記図16の素子回路Acのように消去用のTF TQ3を備える構成に比べて長くなる。その比率を表7に示す。

【0143】

【表7】

| a | b | c | d | e | f | h |
|---|----|-----|---|----|-----|-------|
| 4 | 10 | 40 | 3 | 12 | 45 | 1.125 |
| 4 | 11 | 44 | 3 | 12 | 45 | 1.023 |
| 4 | 12 | 48 | 4 | 16 | 60 | 1.250 |
| 4 | 13 | 52 | 4 | 16 | 60 | 1.154 |
| 4 | 14 | 56 | 4 | 16 | 60 | 1.071 |
| 4 | 15 | 60 | 5 | 20 | 75 | 1.250 |
| 4 | 16 | 64 | 5 | 20 | 75 | 1.172 |
| 5 | 20 | 100 | 4 | 32 | 124 | 1.240 |
| 5 | 21 | 105 | 4 | 32 | 124 | 1.181 |
| 5 | 22 | 110 | 4 | 32 | 124 | 1.127 |
| 5 | 23 | 115 | 4 | 32 | 124 | 1.078 |
| 5 | 24 | 120 | 5 | 40 | 155 | 1.292 |
| 5 | 25 | 125 | 5 | 40 | 155 | 1.240 |
| 5 | 26 | 130 | 5 | 40 | 155 | 1.192 |
| 6 | 40 | 240 | 5 | 80 | 315 | 1.313 |
| 6 | 41 | 246 | 5 | 80 | 315 | 1.280 |
| 6 | 42 | 252 | 5 | 80 | 315 | 1.250 |
| 6 | 43 | 258 | 5 | 80 | 315 | 1.221 |
| 6 | 44 | 264 | 5 | 80 | 315 | 1.193 |
| 6 | 45 | 270 | 5 | 80 | 315 | 1.167 |
| 6 | 46 | 276 | 5 | 80 | 315 | 1.141 |
| 6 | 47 | 282 | 5 | 80 | 315 | 1.117 |
| 6 | 48 | 288 | 6 | 96 | 378 | 1.313 |

【0144】表7において、(a)はbit数(図30では4)、(b)は走査信号線数(図30では14)、(c)は本来走査に必要な時間(図30では $4 \times 14 = 56$ 単位時間)、(d)は1階調当りの表示期間、(e)は第2位のbitの表示期間(図30では16単位時間)、(f)本駆動方法に実際に使用する時間(図30では60単位時間)、(h)は実際に使用する時間/本来走査に必要な時間の比である。

【0145】この表7には、前記図30の条件も含め、bit数が4、5、6の場合をそれぞれ幾つか例示している。この表7から、表示期間に占める走査時間の比率が2割程度低下するけれども、前記の不連続な走査を行うことで、前記消去用のTFTQ3およびその走査信号線Sを追加することによるTFTおよび配線数の増加を回避することができる。

【0146】図31は、この図30で示す駆動方法で、電流測定を行わない場合の駆動方法の一例を示す図である。図31(1)～(19)は、図30(1)～(19)にそれぞれ対応している。ところで、このような電流測定を行わない場合、前述の図16で示す素子回路Acでは、図18で示すように非発光期間が存在するのに対して、図29で示す素子回路Ahでは、この図31で示すように非発光期間が存在しないので、その分好ましいと言える。すなわち、非発光期間が存在しなければ、その分、1フレーム期間Tfの平均輝度として必要な輝度を得るための単位時間当りの輝度を下げることができ

る。有機EL素子は、同じ発光輝度でも、瞬時発光輝度が低い程寿命が長くなる傾向があるので、図31の駆動方法の方が、図18の駆動方法より、その点で有利と言える。

【0147】なお、前記有機EL素子Pの構造としては、たとえばガラス基板の上にITO等の透明な陽極を形成し、その上に有機多層膜、さらにAl等の陰極を形成した構成で実現することができる。また、前記有機多層膜にも幾つかの構造があるけれども、たとえば、正孔入層(または陽極バッファ層)としてCuPcを、正孔輸送層としてTPDを、発光層としてDPVBi、Zn(oxz)2、DCMをドーパントとしたAlq等を、電子輸送層としてはAlq等を積層した構成が好ましい。

【0148】一方、上述のような有機EL素子Pを駆動するためのTFTは、電荷移動度の大きな多結晶シリコンプロセスで製作されたTFTを用いる必要があり、たとえば特開平10-301536号公報などで実現することができる。上記の工程では、プロセスの最高温度を、ゲート絶縁膜形成時の600℃程度に抑えることができ、高耐熱性ガラスを使用することができる。

【0149】

【発明の効果】本発明の表示装置は、以上のように、マトリクス状に配列された電気光学素子が第1のアクティブ素子によって駆動される表示装置において、負荷電流を測定し、その測定結果に基づいて表示データを補正す

るにあたって、毎単位表示期間毎に、または複数の単位表示期間毎に、周期的に電流測定を行う。

【0150】それゆえ、所望とする階調を得るための表示データを、周囲温度変化などに対応してダイナミックに補正するにあたって、アクティブマトリクスのパネルであっても、電流測定手段を各電気光学素子毎に設ける必要をなくし、電流値検出を効率的に行うことができるとともに、開口率を向上することもできる。

【0151】また、本発明の表示装置は、以上のように、メモリ素子を有する構成では、走査されていなくても、表示データがあると発光してしまい、予め定める信号レベルを与えての負荷電流の測定にあたって、他の電気光学素子の負荷電流の影響が生じてしまうのに対して、事前に非発光状態とする走査を行う。

【0152】それゆえ、前記他の電気光学素子による影響をなくし、所望とする電気光学素子の負荷電流を正確に測定することができる。

【0153】さらにまた、本発明の表示装置は、以上のように、前記メモリ素子に関連して第2のアクティブ素子をさらに備え、前記第1のアクティブ素子によって表示信号レベルを設定し、前記第2のアクティブ素子によって消去信号レベルを設定する。

【0154】それゆえ、第1のアクティブ素子の選択走査によって表示が開始された後、その選択走査が総ての第1のアクティブ素子について終了する以前に、第2のアクティブ素子の選択走査によって前記表示を消去することができ、単位表示時間を、走査期間よりも短くすることができる。これによって、デジタル階調制御を行うにあたって、下位のビットのデータにも、そのビットの重みに対応した短時間の表示を正確に行わせることができ、ビット数の多い細かな階調制御を行うことができる。

【0155】また、本発明の表示装置は、以上のように、前記メモリ素子に関連して、1または複数の画素メモリを設け、それを第1のアクティブ素子のための第1の信号線とは異なるビット選択線で駆動する。

【0156】それゆえ、1走査期間内で、下位のビットのデータを表示して残った時間を上位のビットのデータの表示に用いることができ、複数の各ビットに対して等間隔の走査期間を設定しても、表示期間中の非走査期間や非発光期間を短くすることができる新規な時間分割階調表示を実現することができる。

【0157】さらにまた、本発明の表示装置は、以上のように、前記メモリ素子には、前記電気光学素子へ負荷電流を供給する第1の電源線とは個別に設けた第2の電源線から電源供給を行う。

【0158】それゆえ、第1のアクティブ素子が選択されている間に、第1の電源線の電位を前記負荷電流が流れない電位、たとえばGND電位とすることで、表示を行うことなく、メモリ素子への信号レベルの書き込みのみ

を行うことができる。また、メモリ素子や画素メモリに記憶されたデータに基づく電気光学素子の表示期間を、第1のアクティブ素子の走査期間とは独立に制御可能となり、表示期間で時間分割階調表示を実現することもできる。

【図面の簡単な説明】

【図1】本発明の実施の第1の形態の有機ELディスプレイの全体構成を示す図である。

【図2】図1で示す有機ELディスプレイにおける素子回路の電気回路図である。

【図3】電気光学素子の電流特性を示すグラフである。

【図4】図1で示す有機ELディスプレイの駆動方法の一例を示す図である。

【図5】本発明の実施の第2の形態の有機ELディスプレイの全体構成を示す図である。

【図6】図5で示す有機ELディスプレイにおける素子回路の電気回路図である。

【図7】図5で示す有機ELディスプレイの駆動方法の一例を示す図である。

【図8】本発明の実施の第3の形態の有機ELディスプレイの全体構成を示す図である。

【図9】図8で示す有機ELディスプレイにおける素子回路の電気回路図である。

【図10】先行技術のディスプレイの駆動方法を示す図である。

【図11】図10で示す駆動方法の一部を詳しく示す図である。

【図12】図10の駆動方法に、本発明のような消去期間および電流測定期間を導入した場合の図である。

【図13】図11の駆動方法に、本発明のような消去期間および電流測定期間を導入した場合の図である。

【図14】図8で示す有機ELディスプレイの駆動方法の一例を示す図である。

【図15】図14で示す駆動方法を消去期間および電流測定期間を設定しない構成に用いる場合の図である。

【図16】本発明の実施の第4の形態の有機ELディスプレイにおける素子回路の電気回路図である。

【図17】図16で示す素子回路を用いた有機ELディスプレイの駆動方法の一例を示す図である。

【図18】図17で示す駆動方法を消去期間および電流測定期間を設定しない構成に用いる場合の図である。

【図19】図16で示す素子回路を用いた有機ELディスプレイにおいて、発光が不連続となる場合の駆動方法の一例を示す図である。

【図20】図19で示す駆動方法を消去期間および電流測定期間を設定しない構成に用いる場合の図である。

【図21】本発明の実施の第5の形態の有機ELディスプレイにおける素子回路の電気回路図である。

【図22】図21で示す素子回路を用いた有機ELディスプレイの駆動方法の一例を示す図である。

【図23】図22で示す駆動方法を消去期間および電流測定期間を設定しない構成に用いる場合の図である。

【図24】本発明の実施の第6の形態の有機ELディスプレイにおける素子回路の電気回路図である。

【図25】図24で示す素子回路を用いた有機ELディスプレイの駆動方法の一例を示す図である。

【図26】図25で示す駆動方法を消去期間および電流測定期間を設定しない構成に用いる場合の図である。

【図27】本発明の実施の第7の形態の有機ELディスプレイにおける素子回路の電気回路図である。

【図28】図27で示す素子回路の類似構成を示す電気回路図である。

【図29】本発明の実施の第8の形態の有機ELディスプレイにおける素子回路の電気回路図である。

【図30】図29で示す素子回路を用いた有機ELディスプレイの駆動方法の一例を示す図である。

【図31】図30で示す駆動方法を消去期間および電流測定期間を設定しない構成に用いる場合の図である。

【図32】電流検出手段を用いて輝度補正を行うようにした従来の有機ELディスプレイの一例を示す図である。

【図33】図32で示す有機ELディスプレイに用いられる電流検出回路のブロック図である。

【図34】電流検出手段を用いて輝度補正を行うようにした従来の有機ELディスプレイの他の例を示す図である。

【図35】図34で示す有機ELディスプレイに用いられる画素のブロック図である。

【符号の説明】

1, 11, 21 有機ELディスプレイ

2, 2a, 2b 有機ELパネル

3, 3a, 3b 走査コントローラ

4, 4a, 4b 信号コントローラ

5 ラッチ回路

A11~Amn; Aa11~Aamn 素子回路

Ab; Ac; Ad; Ae; Af; Ag; Ah 素子回路

B1~Bn 演算回路(補正手段)

C1 コンデンサ(メモリ素子)

C21, C22 コンデンサ

D1~Dn データ信号線(第2の信号線)

E0 電源線

E1~En 電源線(第1の電源線)

Ea 電源線(第2の電源線)

F1~Fn D/A変換回路

G1~Gm 走査信号線(第1の信号線)

INV1, INV2 CMOSインバータ

K0; K1~Kn 電流測定回路

M1~Mn メモリ(記憶手段)

Ma1~Man メモリ

Mb1~Mbn メモリ

P 有機EL素子(電気光学素子)

Q1 TFT(第1のアクティブ素子)

Q2, Q10, Q11~Q14, Q20~Q22 TFT

Q3 TFT(第2のアクティブ素子)

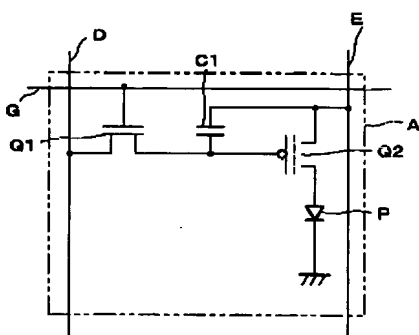
S1~Sm 走査信号線(第3の信号線)

Sa, Sb ビット選択線

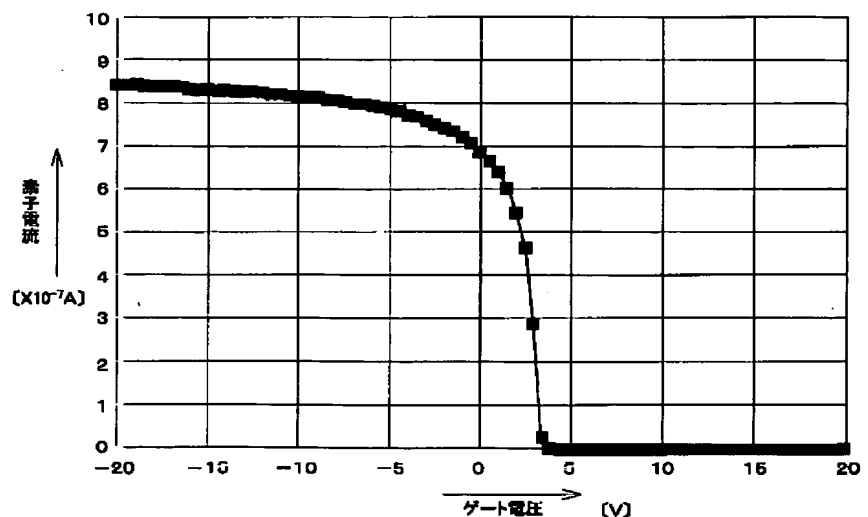
Sc 選択線

R1, R2; R21, R22 画素メモリ

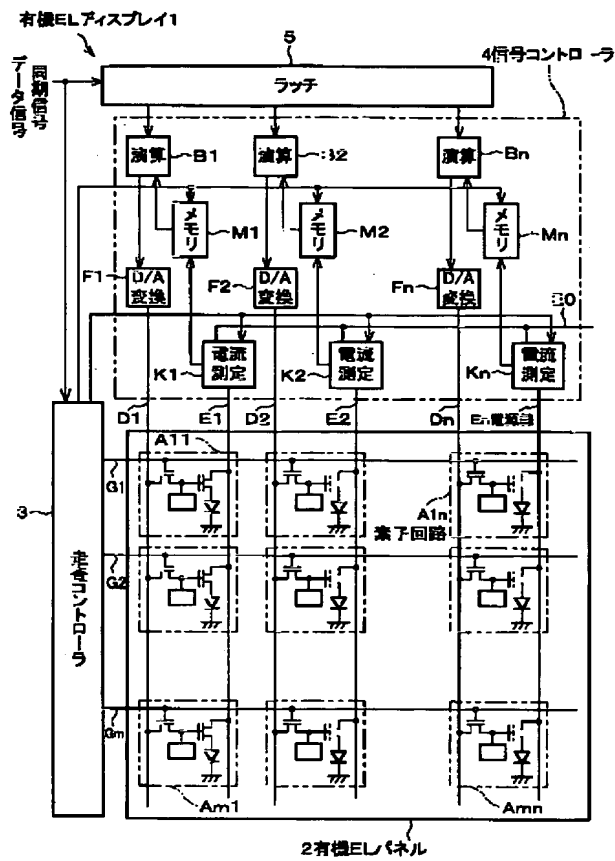
【図2】



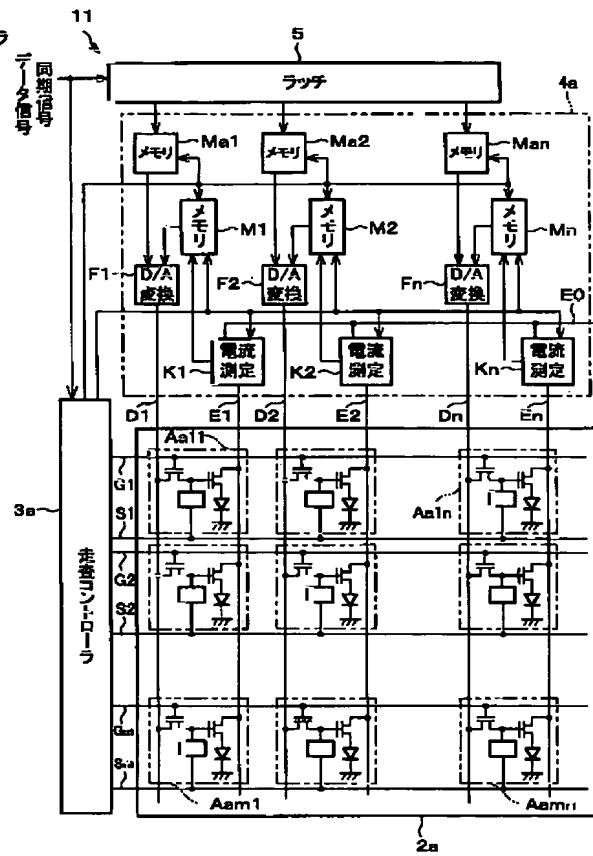
【図3】



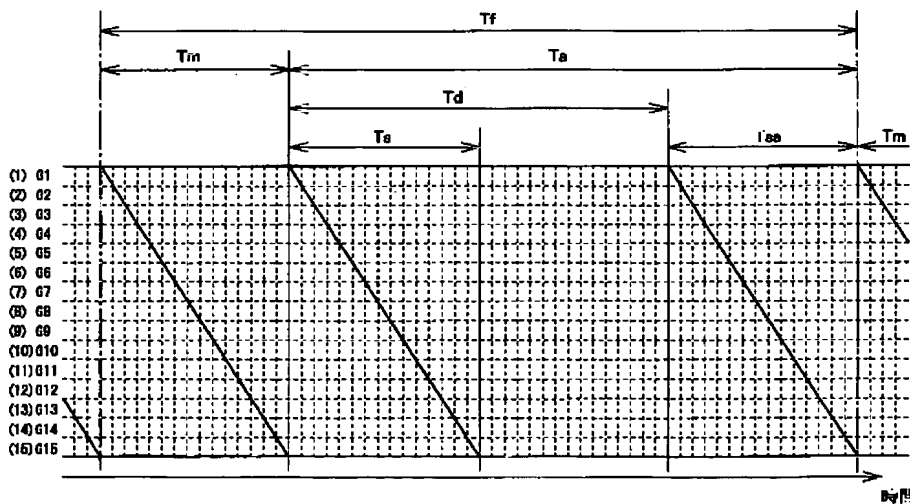
【図1】



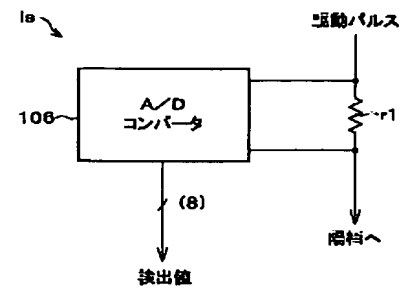
【図5】



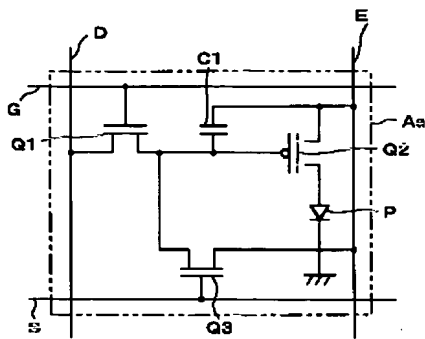
【図4】



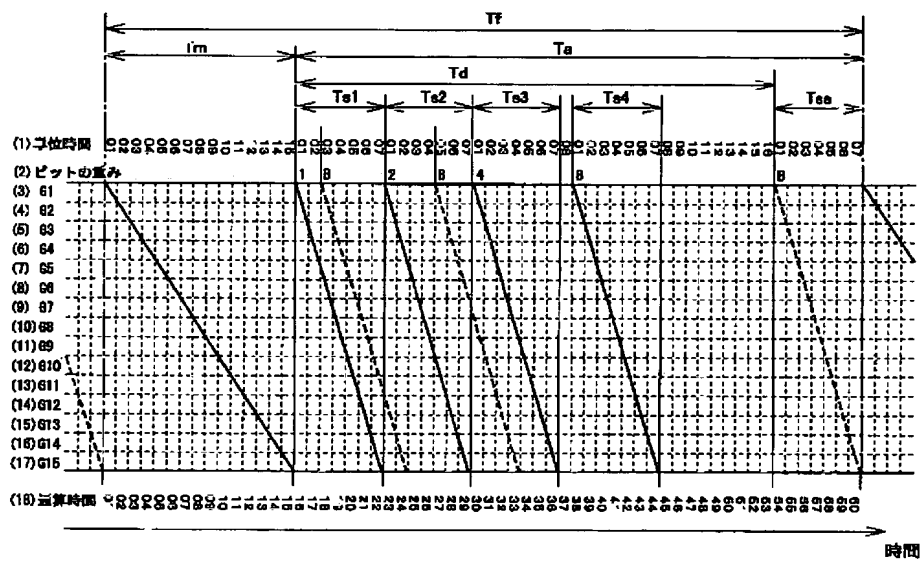
【図33】



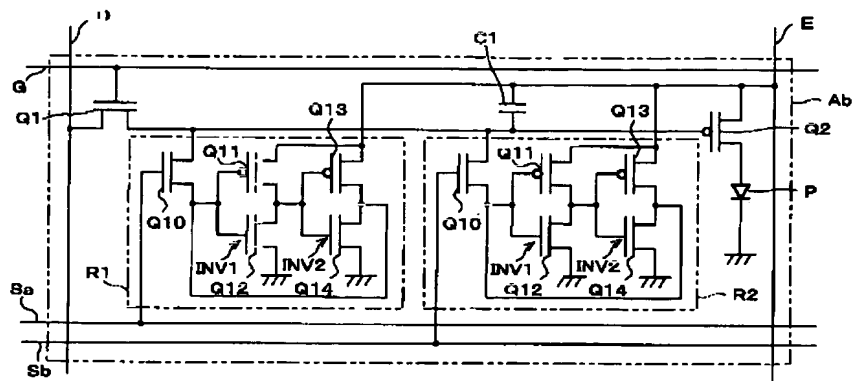
【図6】



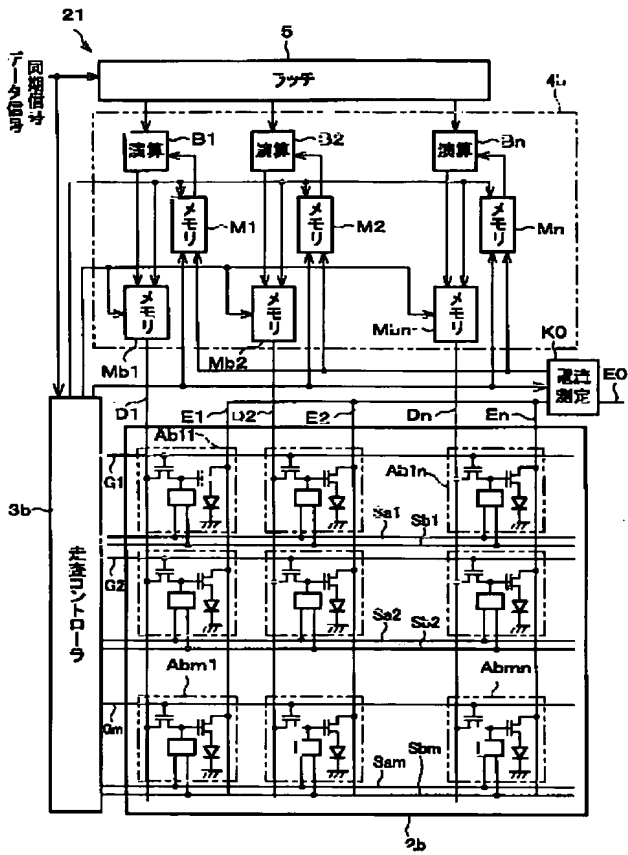
【図7】



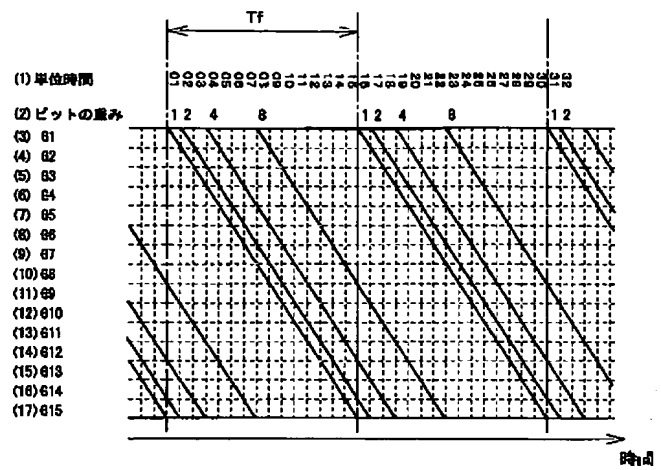
【図9】



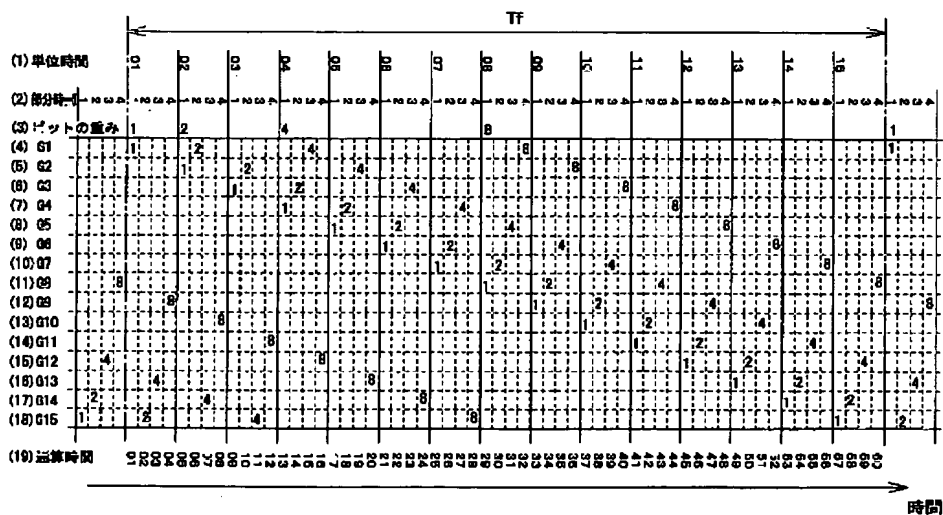
【図8】



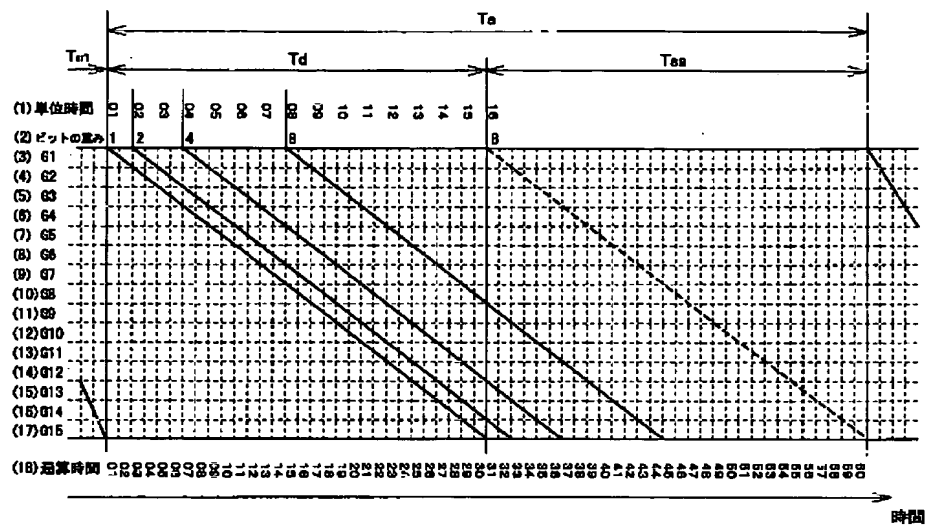
【図 10】



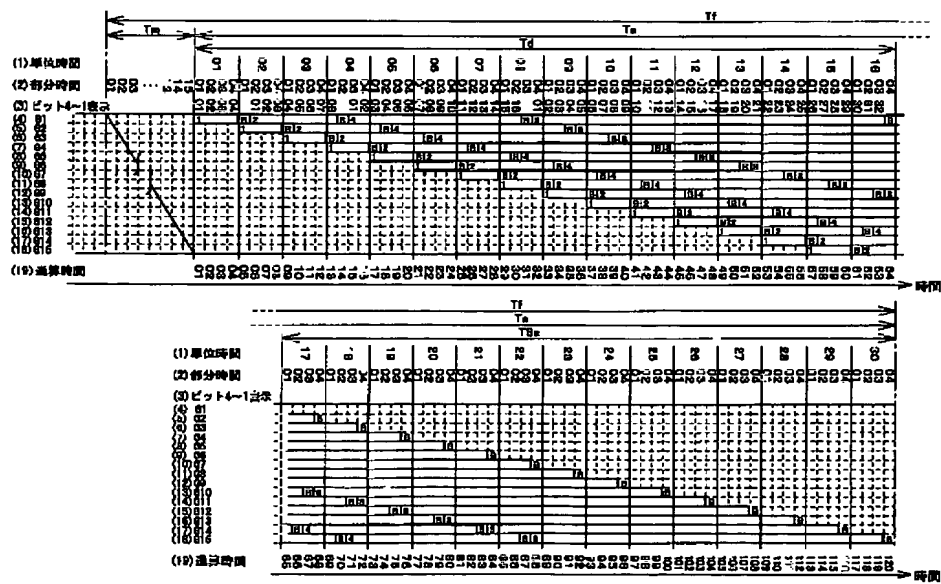
【図 1 1】



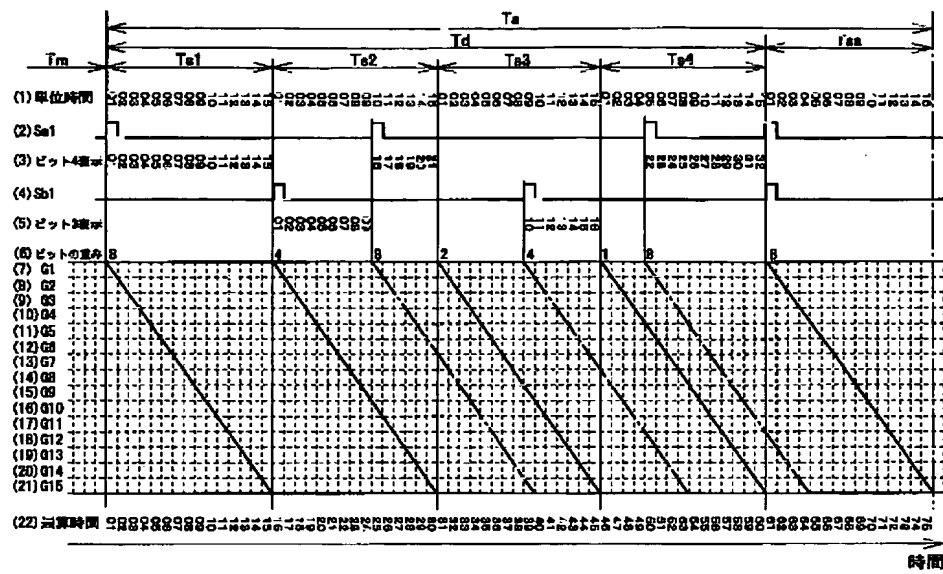
【図12】



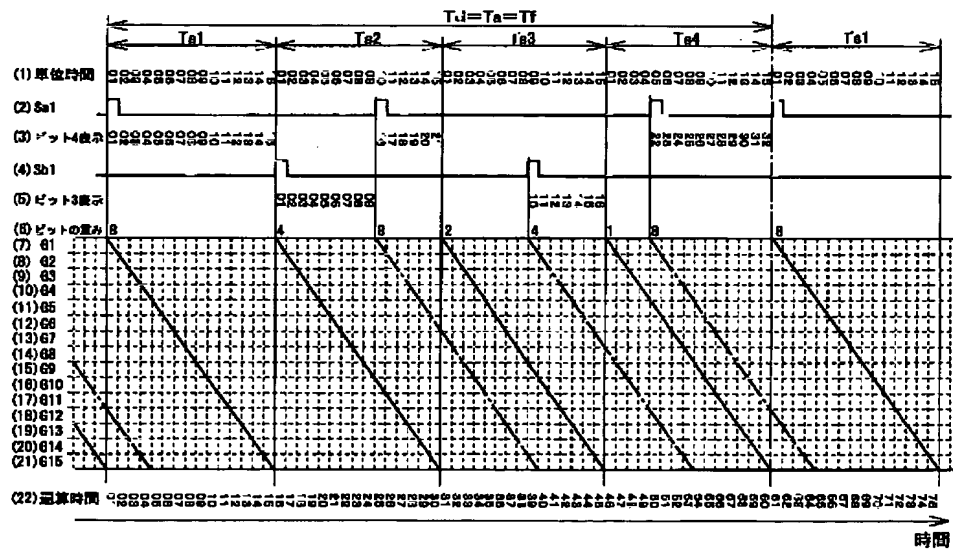
【図13】



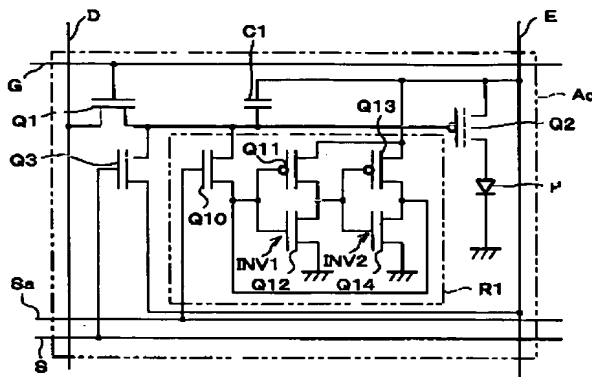
【図14】



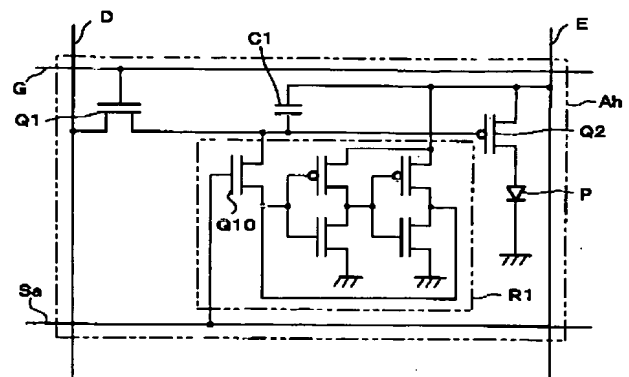
【図15】



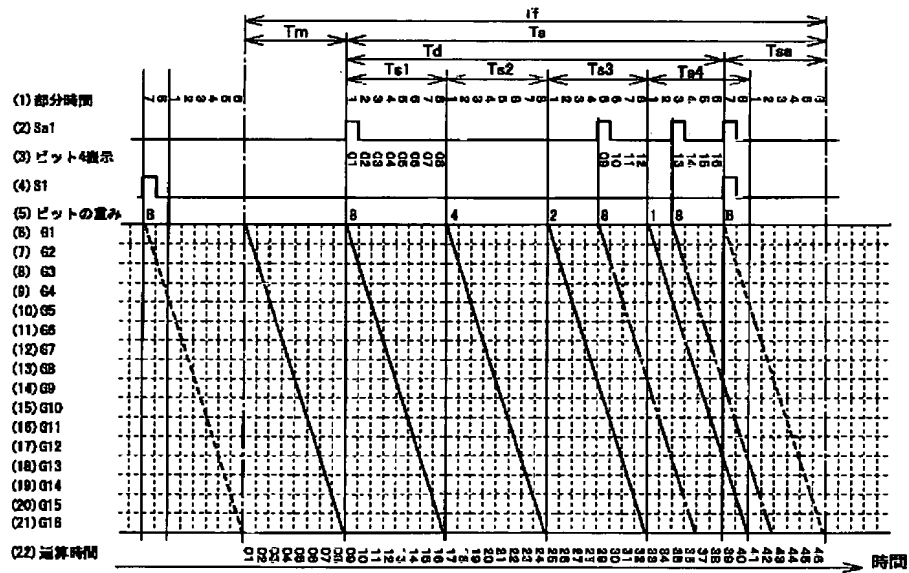
【図16】



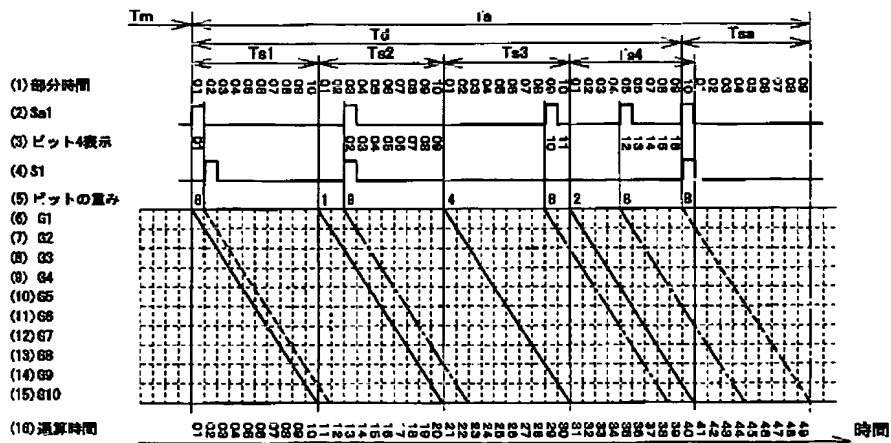
【図29】



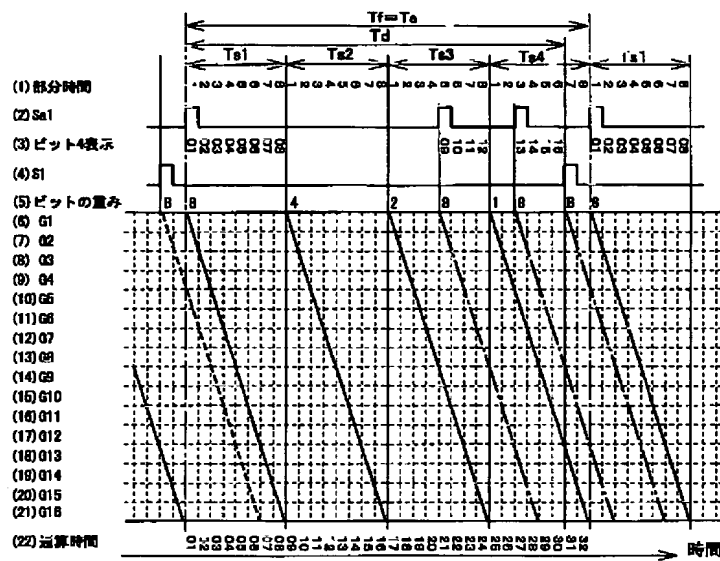
【図17】



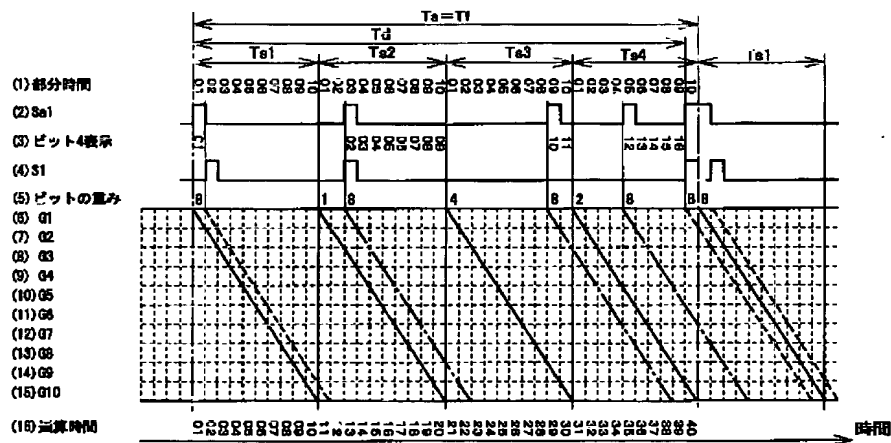
【図19】



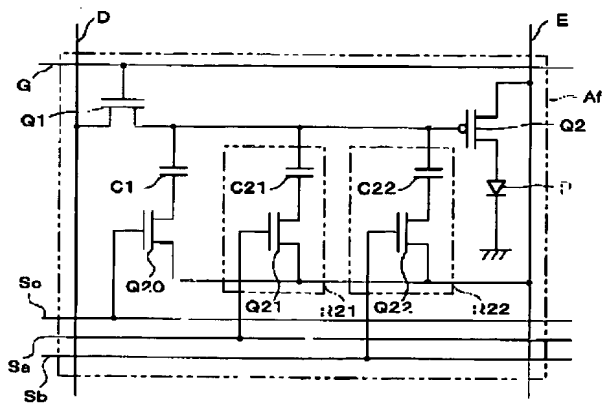
【図18】



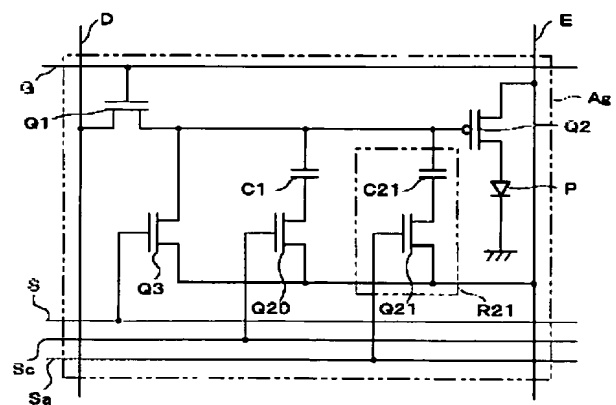
【図20】



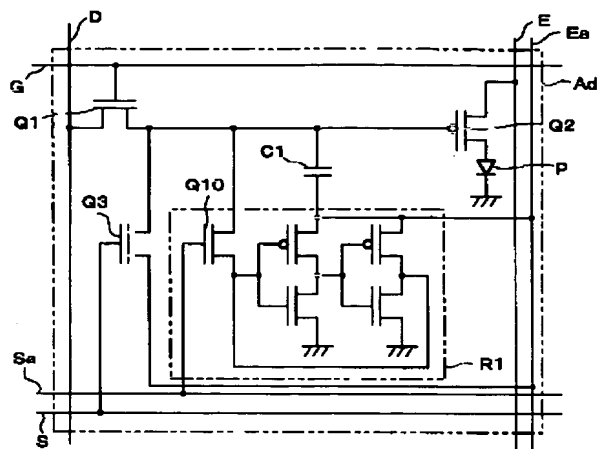
【図27】



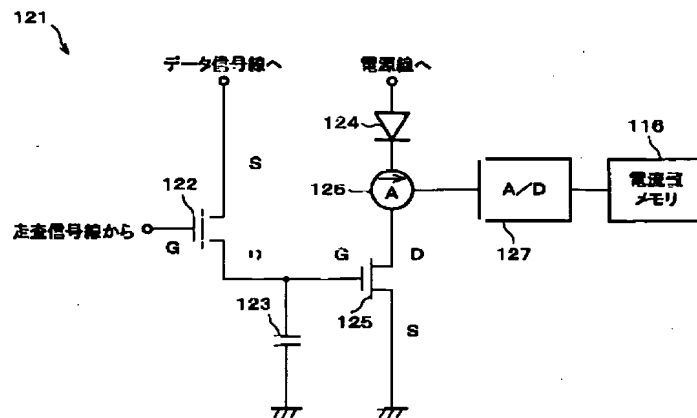
【図28】



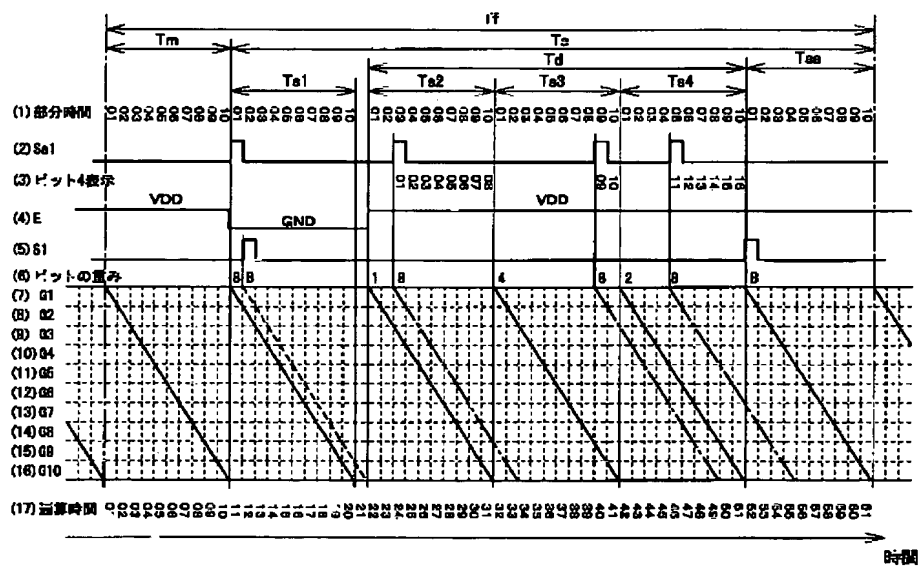
【図21】



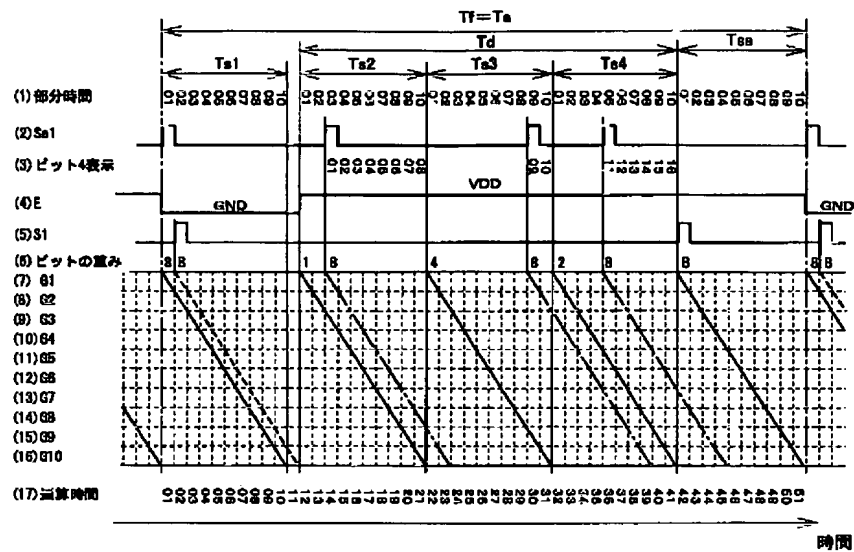
【図35】



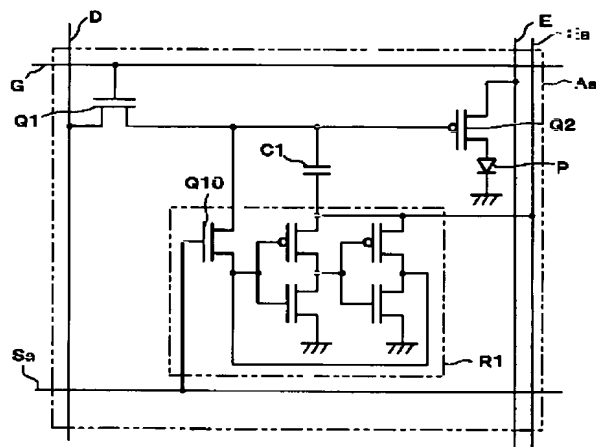
【図22】



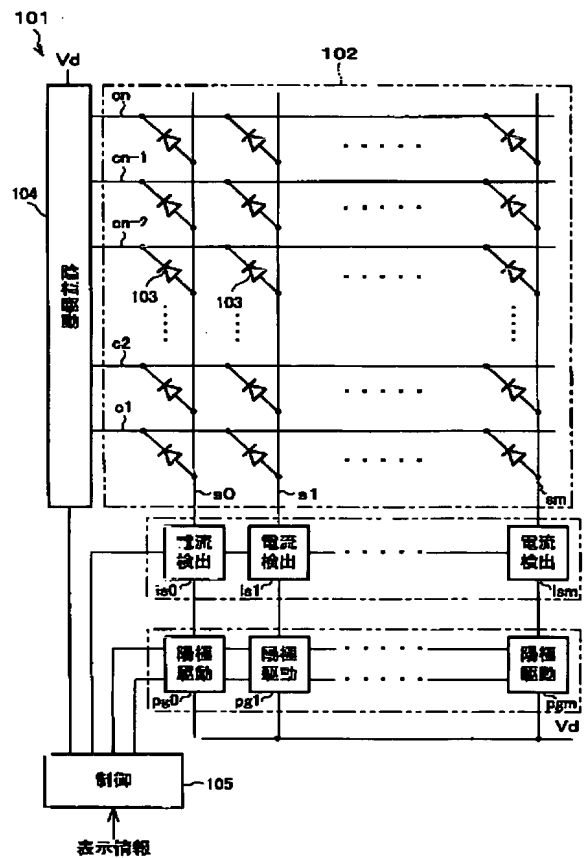
【図23】



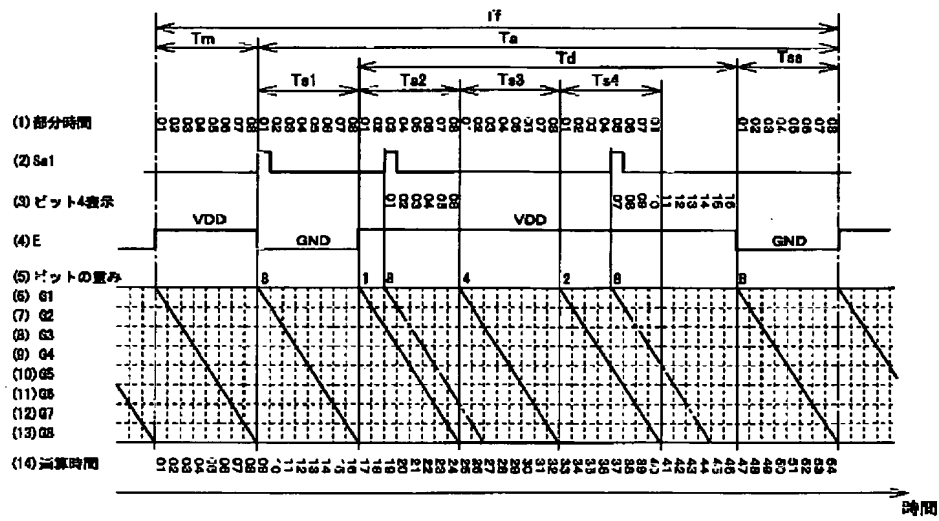
【図24】



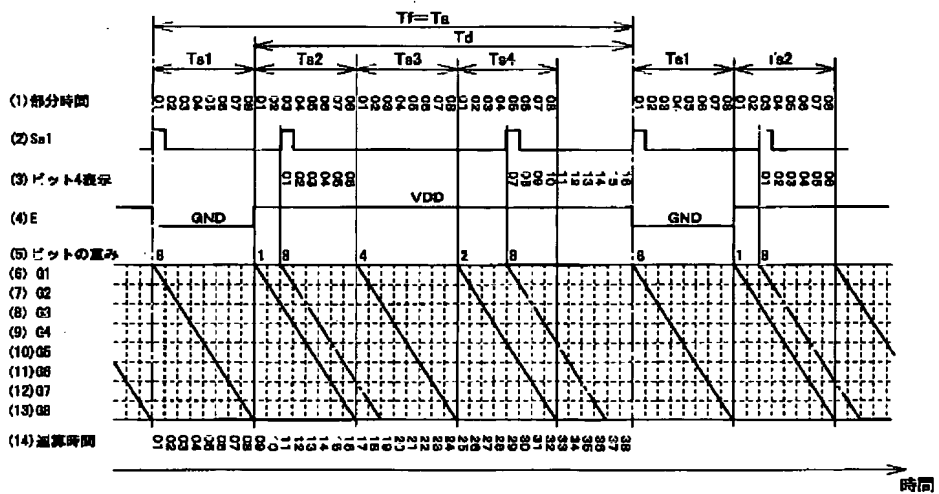
【図32】



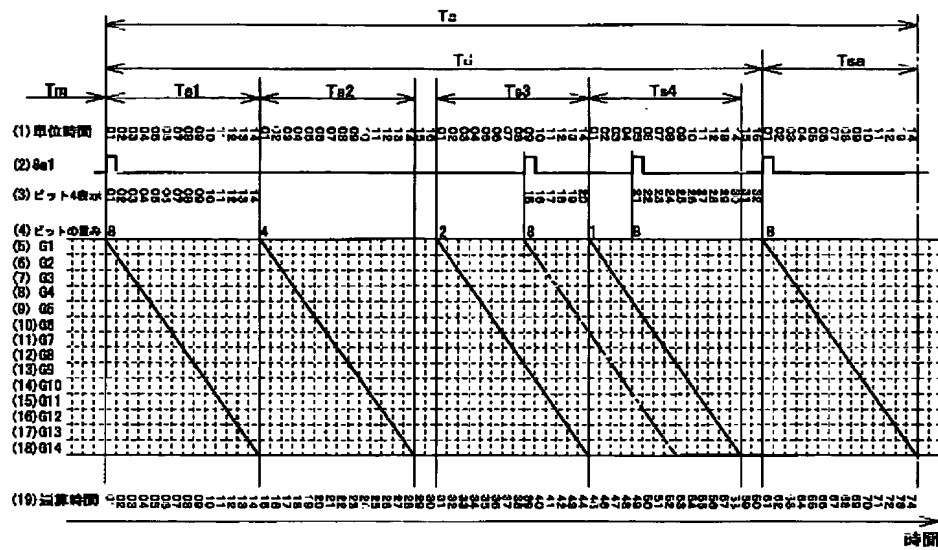
【図25】



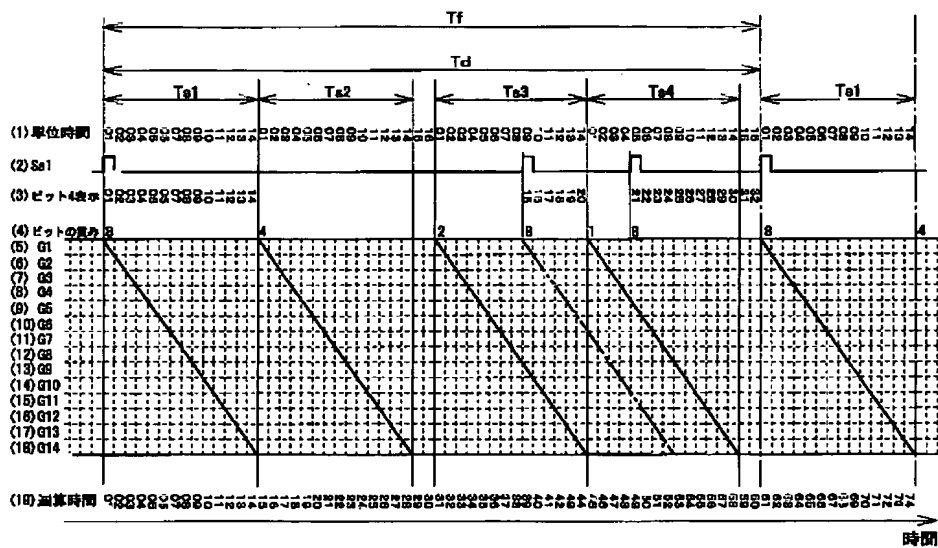
【図26】



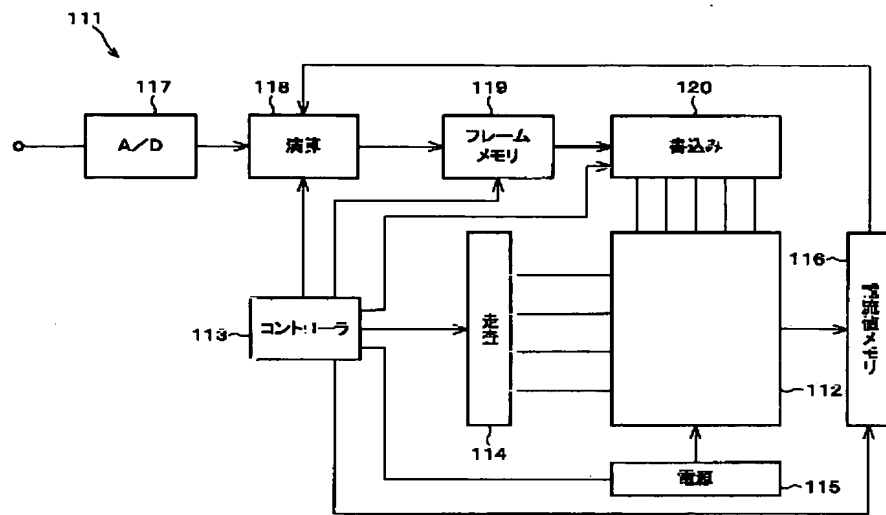
【図30】



【図31】



【図34】



フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/22

H 0 5 B 33/14

識別記号

F I

G 0 9 G 3/22

H 0 5 B 33/14

(参考)

E

A